



JZ8P2604

8 位 OTP 微控制器

用户数据手册

版本号 V1.6



修改记录说明

版本号	修改说明	备注
V1.0	完成初稿	
V1.1	修改脚位图	
V1.3	修改部分寄存器说明	
V1.4	增加 MSOP10 封装尺寸图	
V1.5	修改 P71 端口说明	
V1.6	添加 TSSOP20 的封装	



目录

1 芯片简介	8
1.1 功能特性	8
1.2 引脚分配	9
1.3 引脚说明	10
1.4 系统框图	11
2 存储器结构	12
2.1 程序存储器区	12
2.2 数据存储器区	13
2.2.1 RPAGE 和 Bank 数据寄存器区.....	13
2.2.2 IOPAGE 数据寄存器区	14
3 功能模块	15
3.1 操作寄存器	15
3.1.1 RPAGE0~R0 (间接地址存储器)	15
3.1.2 RPAGE0~R1 (TCC 定时计数器)	15
3.1.3 RPAGE0~R2 (PC 程序计数器)	15
3.1.4 RPAGE0~R3 (STATUS 状态寄存器)	15
3.1.5 RPAGE0~R4 (FSR RAM 选择寄存器)	16
3.1.6 RPAGE0 R5~R7(端口 5~端口 7).....	16
3.1.7 RPAGE0~R8(AD 通道使能寄存器)	17
3.1.8 RPAGE0~R9(ADC 控制寄存器).....	17
3.1.9 RPAGE0~RA(ADC 偏移校准寄存器).....	18
3.1.10 RPAGE0~RB(ADC 结果寄存器 AD11-AD4)	19
3.1.11 RPAGE0~RC(ADC 结果寄存器 AD11-AD8)	19
3.1.12 RPAGE0~RD(ADC 结果寄存器 AD7-AD0).....	19
3.1.13 RPAGE0~RE(中断标志 2 及唤醒使能 1 寄存器).....	19
3.1.14 RPAGE0~RF(中断标志 1 寄存器).....	20
3.1.15 RPAGE1~R5(查表地址高位寄存器).....	20
3.1.16 RPAGE1~R6(查表地址低位寄存器).....	20
3.1.17 RPAGE1~R7(PWM 使能控制寄存器).....	21
3.1.18 RPAGE1~R8(TMR 控制寄存器)	21
3.1.19 RPAGE1~R9(PWM1 周期寄存器).....	22
3.1.20 RPAGE1~RA(PWM2 周期寄存器).....	22
3.1.21 RPAGE1~RB(PWM1 占空寄存器).....	22
3.1.22 RPAGE1~RC(PWM2 占空寄存器).....	22
3.1.23 RPAGE1~RD(CMP 基准选择及 IRC 校正控制寄存器).....	22
3.1.24 RPAGE1~RE(LVD 及外部中断控制寄存器).....	22
3.1.25 RPAGE1~RF(系统时钟及状态控制寄存器)	23
3.1.26 RPAGE2~R5(P5 端口状态改变独立控制寄存器).....	24
3.1.27 RPAGE2~R6(TMR3 低位寄存器)	24
3.1.28 RPAGE2~R7(TMR3 高位寄存器)	25
3.1.29 RPAGE2~R8(PWM3 控制寄存器).....	25
3.1.30 RPAGE2~R9(PWM3 周期低位寄存器).....	25



3.1.31 RPAGE2~RA(PWM3 周期高位寄存器).....	25
3.1.32 RPAGE2~RB(PWM3 占空低位寄存器).....	26
3.1.33 RPAGE2~RC(PWM3 占空高位寄存器).....	26
3.1.34 RPAGE2~RD(P6 端口状态改变独立控制寄存器).....	26
3.1.35 RPAGE2~RE(中断使能 3 及唤醒使能 2 控制寄存器).....	26
3.1.36 RPAGE2~RF(P6 端口改变及 PWM3 中断标志寄存器).....	26
3.2 控制寄存器.....	28
3.2.1 CONT (控制寄存器).....	28
3.2.2 IOPAGE0~IOC50~IOC70(I/O 端口控制寄存器).....	28
3.2.3 IOPAGE0~IOC80(比较器/运放控制寄存器).....	28
3.2.4 IOPAGE0~IOC90(TMR1 寄存器).....	29
3.2.5 IOPAGE0~IOCA0(TMR2 寄存器).....	29
3.2.6 IOPAGE0~IOCB0(P5 下拉控制寄存器).....	29
3.2.7 IOPAGE0~IOCC0(P6 开漏控制寄存器).....	29
3.2.8 IOPAGE0~IOCD0(P5 上拉控制寄存器).....	29
3.2.9 IOPAGE0~IOCE0(WDT 控制及中断使能 2 控制寄存器).....	29
3.2.10 IOPAGE0~IOCF0(中断使能 1 控制寄存器).....	30
3.2.11 IOPAGE1~IOC51(P5 低电平驱动控制寄存器).....	31
3.2.12 IOPAGE1~IOC61(P6 低电平驱动控制寄存器).....	31
3.2.13 IOPAGE1~IOC71(P5 高电平驱动控制寄存器).....	31
3.2.14 IOPAGE1~IOC81(P6 高电平驱动控制寄存器).....	31
3.2.15 IOPAGE1~IOC91(PWM 极性 & 死区控制寄存器).....	31
3.2.16 IOPAGE1~IOCA1(PWM 死区时间设定寄存器).....	32
3.2.17 IOPAGE1~IOCB1(P6 下拉控制寄存器).....	32
3.2.18 IOPAGE1~IOCD1(P7 驱动及上下拉控制寄存器).....	32
3.2.19 IOPAGE1~IOCE1(ADC 通道使能控制寄存器).....	33
3.2.20 IOPAGE1~IOCF1(P6 上拉控制寄存器).....	33
3.3 GPIO 功能模块.....	34
3.3.1 GPIO 寄存器说明.....	34
RPAGE0~R5 (PORT5 数据寄存器).....	34
RPAGE0~R6 (PORT6 数据寄存器).....	34
RPAGE0~R7 (PORT7 数据寄存器).....	34
IOPAGE0~IOC50(P5 方向控制寄存器).....	34
IOPAGE0~IOC60(P6 方向控制寄存器).....	34
IOPAGE0~IOC70(P7 方向控制寄存器).....	34
IOPAGE0~IOCB0(P5 下拉控制寄存器).....	35
IOPAGE0~IOCC0(P6 开漏控制寄存器).....	35
IOPAGE0~IOCD0(P5 上拉控制寄存器).....	35
IOPAGE1~IOCB1(P6 下拉控制寄存器).....	35
IOPAGE1~IOCD1(P7 驱动及上下拉控制寄存器).....	35
IOPAGE1~IOCF1(P6 上拉控制寄存器).....	36
IOPAGE1~IOC51(P5 低电平驱动控制寄存器).....	36
IOPAGE1~IOC61(P6 低电平驱动控制寄存器).....	36
IOPAGE1~IOC71(P5 高电平驱动控制寄存器).....	36



IOPAGE1~IOC81(P6 高电平驱动控制寄存器).....	36
3.4 TCC 定时器功能模块	37
3.4.1 TCC 定时器寄存器说明	37
RPAGE0~R1 (TCC 定时计数器)	37
RPAGE0~RF(中断标志 1 寄存器).....	37
CONT (控制寄存器)	37
IOPAGE0~IOCF0(中断使能 1 控制寄存器).....	38
RPAGE1~RF(系统时钟及状态控制寄存器).....	38
3.4.2 TCC 定时设置说明	38
3.5 WDT 看门狗功能模块	39
3.5.1 WDT 看门狗寄存器说明.....	39
IOPAGE0~IOCE0(WDT 控制及中断使能 2 控制寄存器)	39
3.5.2 WDT 看门狗设置说明.....	39
3.6 端口状态改变唤醒功能模块	40
3.6.1 睡眠唤醒方式说明	40
3.6.2 端口状态改变唤醒寄存器说明.....	40
RPAGE0~RE(中断标志 2 及唤醒使能 1 寄存器)	40
RPAGE0~RF(中断标志 1 寄存器).....	40
IOPAGE0~IOCF0(中断使能 1 控制寄存器).....	40
RPAGE2~R5(P5 端口状态改变独立控制寄存器)	41
RPAGE2~RD(P6 端口状态改变独立控制寄存器).....	41
RPAGE2~RE(中断使能 3 及唤醒使能 2 控制寄存器)	41
RPAGE2~RF(P6 端口改变及 PWM3 中断标志寄存器)	41
3.6.3 P5 端口状态改变查询方式唤醒设置.....	42
3.6.4 P5 端口状态改变中断方式唤醒设置.....	42
3.7 LVD 电压检测功能模块.....	43
3.7.1 LVD 电压检测寄存器说明	43
RPAGE0~RE(中断标志 2 及唤醒使能 1 寄存器)	43
RPAGE1~RE(LVD 及外部中断控制寄存器).....	43
3.7.2 LVD 电压检测设置说明	43
3.8 ADC 模数转换功能模块.....	44
3.8.1 ADC 模数转换寄存器说明.....	44
RPAGE0~R8(AD 通道使能寄存器)	44
RPAGE0~R9(ADC 控制寄存器).....	44
RPAGE0~RA(ADC 偏移校准寄存器).....	45
RPAGE0~RB(ADC 结果寄存器 AD11-AD4)	46
RPAGE0~RC(ADC 结果寄存器 AD11-AD8)	46
RPAGE0~RD(ADC 结果寄存器 AD7-AD0).....	46
RPAGE0~RE(中断标志 2 及唤醒使能 1 寄存器)	46
RPAGE1~RF(系统时钟及状态控制寄存器)	46
IOPAGE0~IOCE0(WDT 控制及中断使能 2 控制寄存器)	47
IOPAGE1~IOCDD1(P7 驱动及上下拉控制寄存器)	47
IOPAGE1~IOCE1(ADC 通道使能控制寄存器).....	47
3.8.2 ADC 模数转换设置说明.....	48



3.8.3 ADC 模数转换精度调整说明.....	48
3.9 PWM 脉宽调制功能模块	49
3.9.1 PWM 脉宽调制寄存器说明.....	49
RPAGE0~RF(中断标志 1 寄存器)	49
RPAGE1~R7(PWM 使能控制寄存器).....	49
RPAGE1~R8(TMR 控制寄存器)	50
RPAGE1~R9(PWM1 周期寄存器).....	50
RPAGE1~RA(PWM2 周期寄存器).....	50
RPAGE1~RB(PWM1 占空寄存器).....	51
RPAGE1~RC(PWM2 占空寄存器).....	51
RPAGE1~RF(系统时钟及状态控制寄存器)	51
RPAGE2~R6(TMR3 低位寄存器)	51
RPAGE2~R7(TMR3 高位寄存器)	51
RPAGE2~R8(PWM3 控制寄存器).....	51
RPAGE2~R9(PWM3 周期低位寄存器).....	52
RPAGE2~RA(PWM3 周期高位寄存器).....	52
RPAGE2~RB(PWM3 占空低位寄存器).....	52
RPAGE2~RC(PWM3 占空高位寄存器).....	52
IOPAGE0~IOC90(TMR1 寄存器)	52
IOPAGE0~IOCA0(TMR2 寄存器).....	52
IOPAGE0~IOCF0(中断使能 1 控制寄存器).....	52
IOPAGE1~IOC91(PWM 极性 & 死区控制寄存器).....	53
IOPAGE1~IOCA1(PWM 死区时间设定寄存器).....	53
3.9.2 PWM 脉宽调制设置说明	54
3.10 CMP/OP 功能模块.....	55
3.10.1 CMP/OP 寄存器说明.....	55
IOPAGE0~IOC80(比较器/运放控制寄存器)	55
IOPAGE0~IOCE0(WDT 控制及中断使能 2 控制寄存器)	55
RPAGE0~RE(中断标志 2 及唤醒使能 1 寄存器)	55
3.10.2 CMP 比较器设置说明	56
3.10.3 OP 放大器设置说明.....	56
3.11 中断功能模块	57
3.11.1 中断寄存器说明	57
RPAGE0~RE(中断标志 2 及唤醒使能 1 寄存器)	57
RPAGE0~RF(中断标志 1 寄存器).....	58
RPAGE1~RE(LVD 及外部中断控制寄存器).....	58
RPAGE2~RE(中断使能 3 及唤醒使能 2 控制寄存器)	59
RPAGE2~RF(P6 端口改变及 PWM3 中断标志寄存器)	59
IOPAGE0~IOCE0(WDT 控制及中断使能 2 控制寄存器)	59
IOPAGE0~IOCF0(中断使能 1 控制寄存器).....	59
3.12 复位功能模块	61
3.12.1 复位功能概述	61
3.12.2 上电复位	61
3.12.3 WDT 看门狗复位	61



3.12.4 LVR 低电压复位	62
3.12.5 工作频率与 LVR 低压检测关系	62
3.13 系统时钟功能模块	63
3.13.1 外部晶体振荡器/陶瓷谐振器 (XT)	63
3.13.2 外部 RC 振荡器模式 (ERC)	64
3.13.3 内部 RC 振荡器模式 (IRC)	65
3.13.4 时钟模块应用说明	65
4 CODE OPTION 寄存器	66
5 芯片电气特性	68
5.1 芯片极限参数	68
5.2 芯片直流参数	68
6 封装尺寸信息	69
6.1 20PIN 封装尺寸	69
6.2 18PIN 封装尺寸	70
6.3 16PIN 封装尺寸	71
6.4 14PIN 封装尺寸	72
6.5 10PIN 封装尺寸	73
6.6 TSSOP20PIN 封装尺寸	74
6.7 8PIN 封装尺寸	74



1 芯片简介

1.1 功能特性

CPU 配置

- 2K×16-Bit OTP ROM
- 80×8-Bit SRAM
- 8 级堆栈空间
- 4 级可编程电压检测 (LVD)
4.5V, 4.0V, 3.3V, 2.2V
- 5 级可编程电压复位 (LVR)
4.0V, 3.5V, 2.7V, 1.8V, 1.6V
- 工作电流小于 2 mA (4MHz/5V)
- 工作电流 30 μ A (32kHz/3V)
- 休眠电流小于 1 μ A (休眠模式)

I/O 配置

- 3 组双向 I/O 端口:P5, P6, P7
- 18 个 I/O 引脚
- 唤醒端口:P5 口, P6 口, P7 口
- 17 个可编程上下拉 I/O 引脚
- 8 个可编程漏极开路 I/O 引脚
- 17 个可编程驱动增强 I/O 引脚
- 外部中断:P60, P71, P54, P61

工作电压

- 工作电压范围:
1.8V~5.5V (0°C~70°C)
2.3V~5.5V (-40°C~85°C)

工作频率范围 (基于 2Clock)

- 内置 IRC 振荡电路:
16MHz, 8MHz, 4MHz, 1MHz
- 外置 ERC 振荡电路:
- 外置 XT 振荡电路:
DC~16MHz (高于 4.5V)
DC~8MHz (高于 3V)
DC~4MHz (高于 2.5V)
- 时钟周期分频选择:
2Clock, 4Clock, 8Clock, 16Clock

外围模块

- 8Bit 实时时钟/计数器
- 16 路通道 12Bit ADC 模数转换器
- 一对比较器 CMP 或者运放 OP
- 3 路 8Bit 脉宽调制器 PWM
- 2 路可级联 16Bit 脉宽调制器 PWM

中断源

- TCC 溢出中断
- 外部中断
- 输入端口状态改变产生中断
- ADC 转换完成中断
- 比较器状态改变中断
- 低电压检测 (LVD) 中断
- PWM1 周期/占空比匹配中断
- PWM2 周期/占空比匹配中断
- PWM3 周期/占空比匹配中断

特性

- 可编程 WDT 定时器
- PWM 带有死区保护, 倍频, 互补, 刹车功能
- 四种工作模式切换

封装类型

- JZ8P2604-DIP20;
- JZ8P2604-SOP20;
- JZ8P2604-DIP18;
- JZ8P2604-SOP18;
- JZ8P2604-DIP16;
- JZ8P2604-SOP16;
- JZ8P2604-DIP14;
- JZ8P2604-SOP14;
- JZ8P2604-DIP8;
- JZ8P2604-SOP8;
- JZ8P2604-MSOP10;



1.2 引脚分配

ADC15/P56	1	20	P57/ADC7
IPWM2/ADC2/P52	2	19	P51/ADC1/PWM2
IPWM1/ADC3/P53	3	18	P50/ADC0/PWM3
INT2/VREF/TCC/P54	4	17	P55/ADC6/OSCO/ERCIN
INT1/RST/P71	5	16	P70/ADC5/OSCI/RCOUT
GND	6	15	VDD
INT0/ADC8/P60	7	14	P67/ADC4/PWM1
INT3/IPWM3/ADC9/P61	8	13	P66/ADC14/CIN-
ADC10/P62	9	12	P65/ADC13/CIN+
ADC11/P63	10	11	P64/ADC12/CO

JZ8P2604-20PIN 脚位图

IPWM2/ADC2/P52	1	18	P51/ADC1/PWM2
IPWM1/ADC3/P53	2	17	P50/ADC0/PWM3
INT2/VREF/TCC/P54	3	16	P55/ADC6/OSCO/ERCIN
INT1/RST/P71	4	15	P70/ADC5/OSCI/RCOUT
GND	5	14	VDD
INT0/ADC8/P60	6	13	P67/ADC4/PWM1
INT3/IPWM3/ADC9/P61	7	12	P66/ADC14/CIN-
ADC10/P62	8	11	P65/ADC13/CIN+
ADC11/P63	9	10	P64/ADC12/CO

JZ8P2604-18PIN 脚位图

IPWM2/ADC2/P52	1	16	P51/ADC1/PWM2
IPWM1/ADC3/P53	2	15	P50/ADC0/PWM3
INT2/VREF/TCC/P54	3	14	P55/ADC6/OSCO/ERCIN
INT1/RST/P71	4	13	P70/ADC5/OSCI/RCOUT
GND	5	12	VDD
INT0/ADC8/P60	6	11	P67/ADC4/PWM1
INT3/IPWM3/ADC9/P61	7	10	P66/ADC14/CIN-
CO/ADC12/P64	8	9	P65/ADC13/CIN+

JZ8P2604-16PIN 脚位图

PWM3/ADC0/P50	1	8	P55/ADC6/OSCO/ERCIN
PWM2/ADC1/P51	2	7	P70/ADC5/OSCI/RCOUT
INT1/RST/P71	3	6	VDD
GND	4	5	P67/ADC4/PWM1

JZ8P2604-8PIN 脚位图

IPWM2/ADC2/P52	1	14	P51/ADC1/PWM2
IPWM1/ADC3/P53	2	13	P50/ADC0/PWM3
INT2/VREF/TCC/P54	3	12	P55/ADC6/OSCO/ERCIN
INT1/RST/P71	4	11	P70/ADC5/OSCI/RCOUT
GND	5	10	VDD
INT0/ADC8/P60	6	9	P67/ADC4/PWM1
INT3/IPWM3/ADC9/P61	7	8	P66/ADC14/CIN-

JZ8P2604-14PIN 脚位图

VDD	1	10	GND
RCOUT/OSCI/ADC5/P70	2	9	P71/RST/INT1
ERCIN/OSCO/ADC6/P55	3	8	P54/TCC/VREF/INT2
PWM3/ADC0/P50	4	7	P53/ADC3/IPWM1
PWM2/ADC1/P51	5	6	P52/ADC2/IPWM2

JZ8P2604-10PIN 脚位图



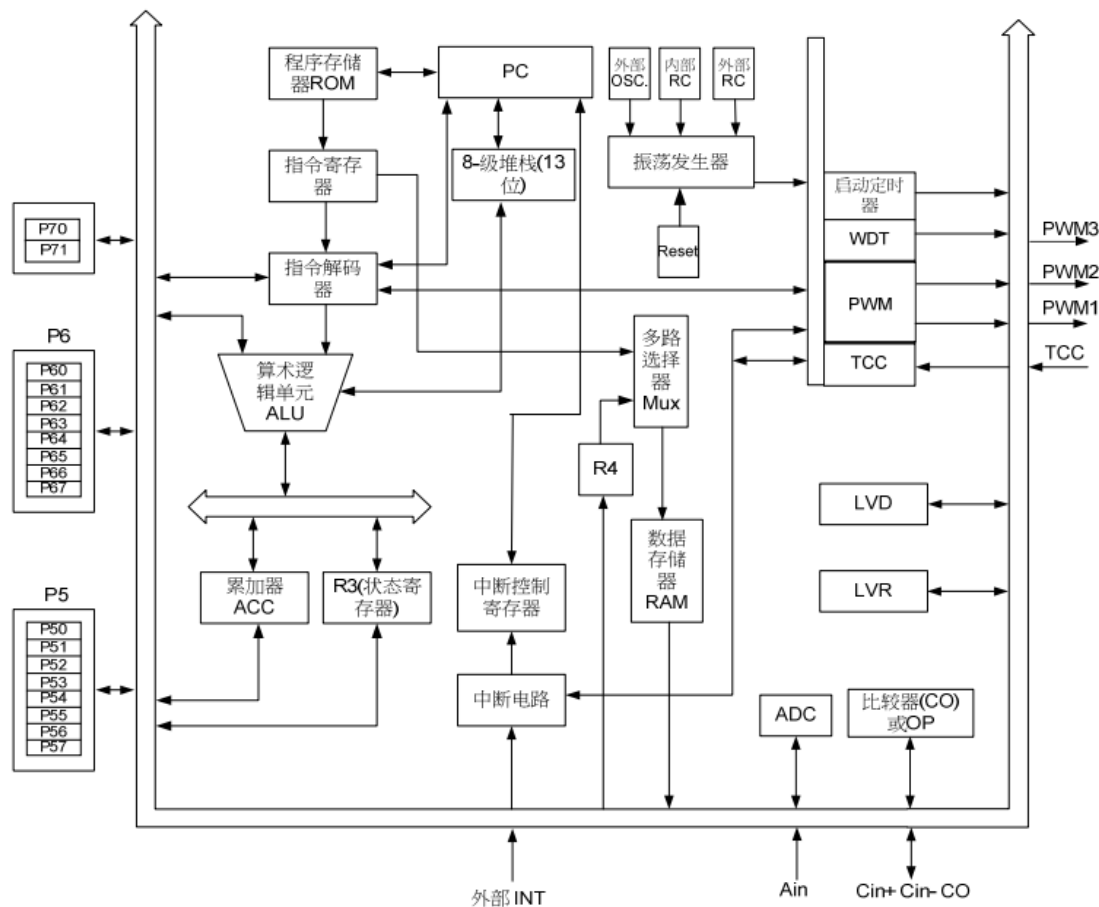
1.3 引脚说明

序号	管脚名	I/O	功能描述
P50	P50	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动和高灌, 端口唤醒
	ADC0	AN	ADC 输入通道 0
	PWM3	CMOS 输出	PWM3 输出
P51	P51	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动和高灌, 端口唤醒
	ADC1	AN	ADC 输入通道 1
	PWM2	CMOS 输出	PWM2 输出
P52	P52	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动和高灌, 端口唤醒
	ADC2	AN	ADC 输入通道 2
	IPWM2	CMOS 输出	PWM2 互补输出
P53	P53	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动和高灌, 端口唤醒
	ADC3	AN	ADC 输入通道 3
	IPWM1	CMOS 输出	PWM1 互补输出
P54	P54	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动和高灌, 端口唤醒
	TCC	SMT	TCC 时钟输入端口
	VREF	AN	ADC 外部基准电压
	INT2	I (SMT)	外部中断输入端口
P55	P55	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动和高灌, 端口唤醒
	ADC6	AN	ADC 输入通道 6
	OSC0	XTAL	晶体振荡器输出口
	ERCin	AN	外部 RC 输入口
P56	P56	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动和高灌, 端口唤醒
	ADC15	AN	ADC 输入通道 15
P57	P57	I/O (上/下拉)	GPIO, 可编程上下拉、高驱动和高灌, 端口唤醒
	ADC7	AN	ADC 输入通道 7
P60	P60	I/O (上/下拉)	GPIO, 可编程上下拉、漏极开路、高驱动和高灌, 端口唤醒
	INT0	I (SMT)	外部中断输入端口
	ADC8	AN	ADC 输入通道 8
P61	P61	I/O (上/下拉)	GPIO, 可编程上下拉、漏极开路、高驱动和高灌, 端口唤醒
	ADC9	AN	ADC 输入通道 9
	IPWM3	CMOS 输出	PWM3 互补输出
	INT3	I (SMT)	外部中断输入端口
P62	P62	I/O (上/下拉)	GPIO, 可编程上下拉、漏极开路、高驱动和高灌, 端口唤醒
	ADC10	AN	ADC 输入通道 10
P63	P63	I/O (上/下拉)	GPIO, 可编程上下拉、漏极开路、高驱动和高灌, 端口唤醒
	ADC11	AN	ADC 输入通道 11
P64	P64	I/O (上/下拉)	GPIO, 可编程上下拉、漏极开路、高驱动和高灌, 端口唤醒
	ADC12	AN	ADC 输入通道 12
	CO	0	比较器输出口



	P65	I/O (上/下拉)	GPIO, 可编程上下拉、漏极开路、高驱动和高灌, 端口唤醒
P65	ADC13	AN	ADC 输入通道 13
	CIN+	I	放大器输入“+”端
	P66	I/O (上/下拉)	GPIO, 可编程上下拉、漏极开路、高驱动和高灌, 端口唤醒
P66	ADC14	AN	ADC 输入通道 14
	CIN-	I	放大器输入“-”端
	P67	I/O (上拉)	GPIO, 可编程上下拉、漏极开路、高驱动和高灌, 端口唤醒
P67	ADC4	AN	ADC 输入通道 4
	PWM1	CMOS 输出	PWM1 输出
	P70	I/O	GPIO, 可编程上下拉、高驱动和高灌, 端口唤醒
P70	ADC5	AN	ADC 输入通道 5
	OSCI	I (XTAL)	振荡器输入/输出
	RCOUT	O	RC 振荡器输出/输入
	P71	I/O	开漏输出, 端口唤醒
P71	RESET	I (SMT)	复位脚
	INT1	I (SMT)	外部中断输入/输出
	VDD	--	电源
	VSS	--	地

1.4 系统框图

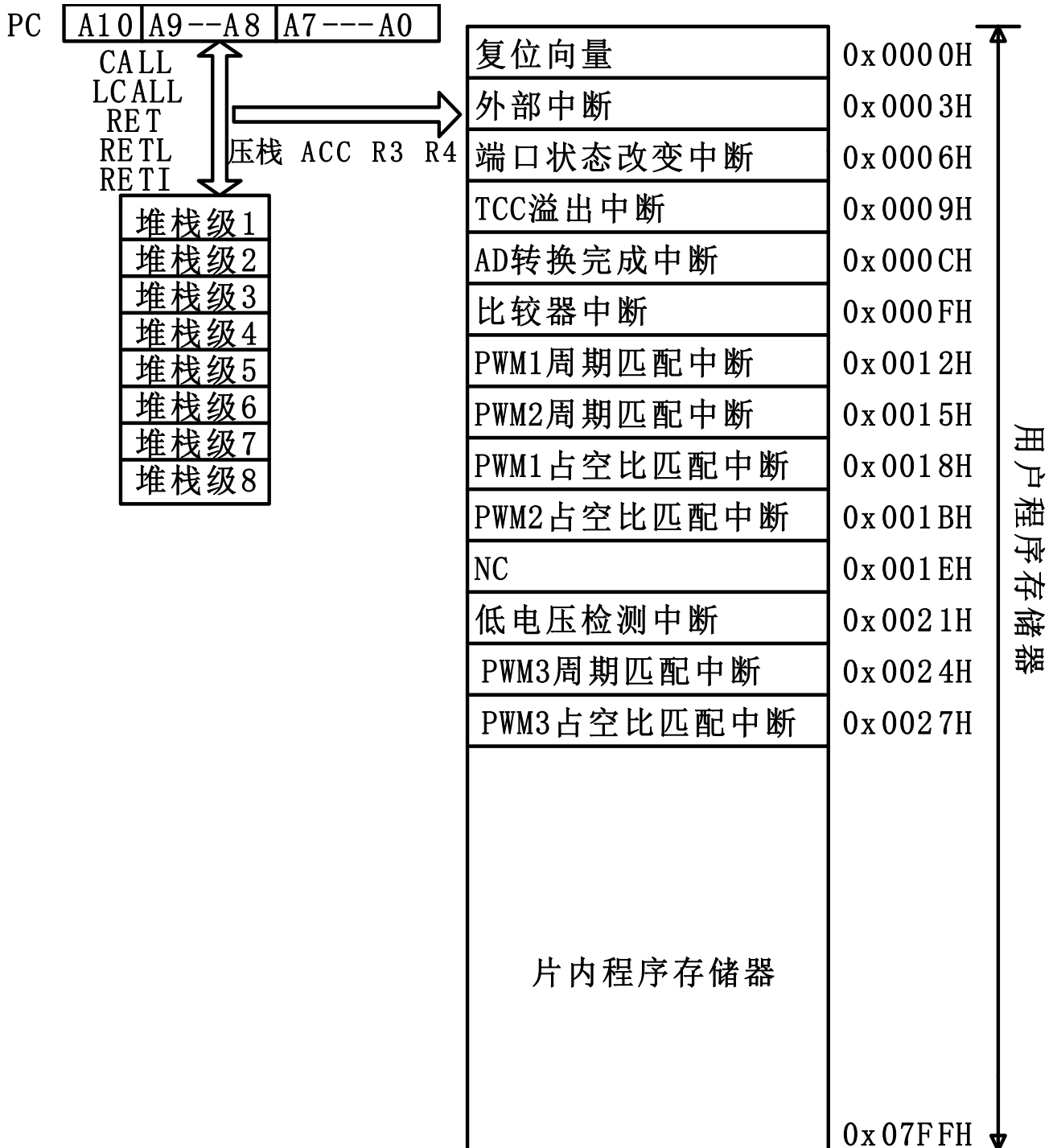


系统结构框图



2 存储器结构

2.1 程序存储器区



程序存储器区结构图



2.2 数据存储区

2.2.1 RPAGE和Bank数据寄存器区

0x00	R0 间接寻址寄存器	保留	保留
0x01	R1 TCC 计数器	保留	保留
0x02	R2 PC 程序计数器	保留	保留
0x03	R3 STATUS 状态寄存器	保留	保留
0x04	R4 FSR RAM 选择寄存器	保留	保留
0x05	R5 PORT5 数据寄存器	R5 查表地址高位寄存器	R5 P5 端口状态改变独立控制寄存器
0x06	R6 PORT6 数据寄存器	R6 查表地址低位寄存器	R6 TMR3L 寄存器
0x07	R7 PORT7 数据寄存器	R7 PWM 控制寄存器	R7 TMR3H 寄存器
0x08	R8 ADC 输入选择寄存器	R8 TMR 控制寄存器	R8 TMR3 控制寄存器
0x09	R9 ADC 控制寄存器	R9 PWM1 周期寄存器	R9 PWM3L 周期寄存器
0x0A	RA ADC 偏移校准寄存器	RA PWM2 周期寄存器	RA PWM3H 周期寄存器
0x0B	RB AD 转换值寄存器 AD11-AD4	RB PWM1 占空比寄存器	RB PWM3L 占空比寄存器
0x0C	RC AD 转换值寄存器 AD11-AD8	RC PWM2 占空比寄存器	RC PWM3H 占空比寄存器
0x0D	RD AD 转换值寄存器 AD7-AD0	RD CMP 基准选择及 IRC 校准位寄存器	RD P6 端口状态改变独立控制寄存器
0x0E	RE 中断标志 2 及唤醒控制 1 寄存器	RE LVD 及外部中断控制寄存器	RE 中断使能 3 及唤醒使能 2 控制寄存器
0x0F	RF 中断标志 1 寄存器	RF 系统时钟及状态控制寄存器	RF P6 端口改变及 PWM3 中断标志寄存器
0x10 ~ 0x1F	通用寄存器 16*8Bit		
	Bank0	Bank1	
0x20 ~ 0x3F	通用寄存器 32*8Bit		



2.2.2 IOPAGE数据寄存器区

地址	IOPAGE0 页面寄存器	IOPAGE1 页面寄存器
0x00	保留	保留
0x01	保留	保留
0x02	保留	保留
0x03	保留	保留
0x04	保留	保留
0x05	IOC50 P5 方向控制寄存器	IOC51 P5 低电平驱动控制寄存器
0x06	IOC60 P6 方向控制寄存器	IOC61 P6 低电平驱动控制寄存器
0x07	IOC70 P7 方向控制寄存器	IOC71 P5 高电平驱动控制寄存器
0x08	IOC80 比较器及运放控制寄存器	IOC81 P6 高电平驱动控制寄存器
0x09	IOC90 TMR1 寄存器	IOC91 PWM 极性 & 死区控制寄存器
0x0A	IOCA0 TMR2 寄存器	IOCA1 PWM 死区时间设定寄存器
0x0B	IOCB0 P5 下拉控制寄存器	IOCB1 P6 下拉控制寄存器
0x0C	IOCC0 P6 开漏控制寄存器	保留
0x0D	IOCD0 P5 上拉控制寄存器	IOCD1 P7 驱动及上下拉控制寄存器
0x0E	IOCE0 WDT 及中断使能 2 控制寄存器	IOCE1 AD 通道使能控制寄存器
0x0F	IOCF0 中断使能 1 控制寄存器	IOCF1 P6 上拉控制寄存器



3 功能模块

3.1 操作寄存器

3.1.1 RPAGE0~R0（间接地址存储器）

间接寻址寄存器并不是一个实际存在的寄存器，它的主要功能是作为间接寻址的指针。任何以 R0 作为指针的指令，实际对应的地址是 R4（RAM 选择寄存器）低 6 位 RAMS<5:0>所指向的数据。

3.1.2 RPAGE0~R1（TCC 定时计数器）

TCC 是一个 8Bit 上行计数器, 时钟源可选内部时钟/外部时钟, 计数溢出可形成中断, TMR 可读可写。

TCC 可由 EXINT 引脚上的信号边沿或指令周期触发产生加 1 操作 (CONT. 4 位定义)。如果清零 PAB 位 (CONT. 3), 会有一个预分频器分配给 TCC, 当 TCC 寄存器被写入一个值时, 预分频器的值会被清 0。

3.1.3 RPAGE0~R2（PC 程序计数器）

程序计数器 (PC) 是用于记录每个指令周期中 CPU 所要处理的指令的指针。在 CPU 运行周期中, PC 将指令指针推进程序存储器, 然后指针自增 1 以进入下一个周期。JZ8P2604 拥有一个 13 位宽度的程序计数器 (PC), 其低字节来自可读写的 PCL。

JZ8P2604 堆栈是用于记录程序返回的指令指针。当调用子程序时, PC 将指令指针压栈。待执行返回指令时, 堆栈将指令指针送回 PC, 继续进行原来的进程。JZ8P2604 拥有 8 级堆栈, 该堆栈既不占程序存储空间也不占数据存储空间, 并且堆栈指针不能读写。

- (1) 寄存器 PC 和内置 8 级堆栈都是 13 位宽, 用于 2K×16Bit ROM 的寻址, JZ8P2604 程序存储区映射。
- (2) 一般情况下, PC 自增一; 复位时, PC 的所有位都被清零。
- (3) 指令“JMP”允许直接载入低 10 位地址, 因此, JMP 指令可以实现当前页面内 (1K 范围内) 任意位置跳转。指令“JMP”直接载入低 10 位地址, 同时将 PC+1 压栈, 子程序入口地址只要在同一页面内就能够被准确定位。
- (4) 执行“RET” (RETL k, RETI) 指令时将栈顶数据送到 PC。
- (5) 堆栈的工作犹如循环缓冲器, 也就是说, 压栈 8 次之后, 第 9 次压栈时进栈的数据将覆盖第 1 次进栈的数据, 而第 10 次压栈时进栈的数据将覆盖第 2 次进栈的数据, 依此类推。

3.1.4 RPAGE0~R3（STATUS 状态寄存器）

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RST	IOCS	RPAGE<1>	T	P	Z	DC	C

Bit<7>:RST:复位类型标志位:

0:其它复位类型

1:若休眠模式由引脚状态改变、比较器状态改变或 AD 转换完成等唤醒

Bit<6>:IOCS:IOCPAGE 页面选择

0:选择 IOCPAGE0 页面

1:选择 IOCPAGE1 页面

Bit<5>:RPAGE<1>:RPAGE 功能寄存器选择高位

配合 R4-RPAGE<0>来选择 RPAGE 页面

具体参考 R4-RPAGE<0>来操作



Bit<4>:T:时间溢出位

0:WDT 溢出

1:执行“SLEEP”和“WDTC”指令或低压复位

影响 T/P 的事件如下表所示:

类型	RST	T	P
上电复位	0	1	1
工作模式下按 RESET	0	保持	保持
RESET 唤醒	0	1	0
工作模式下 WDT 溢出	0	0	保持
WDT 溢出唤醒	0	0	0
端口状态变化唤醒	1	1	0
执行 WDTC 指令	保持	1	1
执行 SLEEP 指令	保持	1	0

Bit<3>:P:掉电标志位:

0:执行“SLEEP”指令

1:上电复位或执行“WDTC”指令

Bit<2>:Z:零标志位算术或逻辑操作结果为零时置为“1”

0:当算术或者逻辑运算结果不为 0

1:当算术或者逻辑运算结果为 0

Bit<1>:DC:辅助进位标志:

0:执行加法运算时,低四位没有进位产生; /执行减法运算时,低四位产生借位

1:执行加法运算时,低四位有进位产生; /执行减法运算时,低四位没产生借位

Bit<0>:C:进位标志:

0:执行加法运算时,高四位没有进位产生; /执行减法运算时,高四位产生借位

1:执行加法运算时,高四位有进位产生; /执行减法运算时,高四位没产生借位

3.1.5 RPAGE0~R4 (FSR RAM选择寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RPAGE<0>	BANK	FSR<5:0>					

FSR<7>:RPAGE 页面选择位 (R0~RF)

RPAGE<1:0> 00 :选择 RPAGE0 寄存器页面

RPAGE<1:0> 01 :选择 RPAGE1 寄存器页面

RPAGE<1:0> 10 :选择 RPAGE2 寄存器页面

FSR<6>:BANK 页面选择位 (0x20~0x3F)

0: Bank0

1: Bank1

FSR<5:0>:在间接寻址方式中用于选择 RAM 寄存器地址 (寻址范围:0X00~0X3F)

FSR 用于配合 R0 实现间接寻址操作。用户可以将某个寄存器对应的地址放进 FSR, 然后通过访问间接寻址寄存器 R0, 此时地址将指向 FSR 中对应地址的寄存器。

3.1.6 RPAGE0 R5~R7(端口 5~端口 7)

端口输入/输出寄存器



3.1.7 RPAGE0~R8 (AD通道使能寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADE<7>	ADE<6>	ADE<5>	ADE<4>	ADE<3>	ADE<2>	ADE<1>	ADE<0>

Bit<7:0>:ADE<7:0>-AD 通道使能控制位

1:使能

0:禁止

通道编号	使能控制	对应引脚
AD0	ADE<0>	P50
AD1	ADE<1>	P51
AD2	ADE<2>	P52
AD3	ADE<3>	P53
AD4	ADE<4>	P67
AD5	ADE<5>	P70
AD6	ADE<6>	P55
AD7	ADE<7>	P57

AD 通道使能寄存器可读可写

3.1.8 RPAGE0~R9 (ADC控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VREFS	CKR<1:0>		ADRUN	ADPD	ADIS<2:0>		

Bit<7>:VREFS-ADC 基准选择

1:外部基准 (从 P54 输入)

0:内部基准

Bit<6:5>:CKR<1:0> (AD 采样基准时钟设置, 设定最小时间单位 TAD 的值)

CPUS	CKR<1>	CKR<0>	ADC 时钟
1	0	0	Fosc/16
1	0	1	Fosc/4
1	1	0	Fosc/64
1	1	1	Fosc/1
0	x	x	Fosc/1

Bit<4>:ADRUN-ADC 启动位

1:启动

0:禁止

Bit<3>:ADPD-ADC 使能位

1:使能

0:禁止

Bit<2:0>:ADIS<2:0>-ADC 通道选择位

ADIS<4>	ADIS<3>	ADIS<2>	ADIS<1>	ADIS<0>	ADC 通道选择
0	0	0	0	0	P50
0	0	0	0	1	P51
0	0	0	1	0	P52



0	0	0	1	1	P53
0	0	1	0	0	P67
0	0	1	0	1	P70
0	0	1	1	0	P55
0	0	1	1	1	P57
0	1	0	0	0	OPOUT
0	1	1	0	0	0.25*VDD
0	1	1	0	1	0.5*VDD
1	0	0	0	0	P60
1	0	0	0	1	P61
1	0	0	1	0	P62
1	0	0	1	1	P63
1	0	1	0	0	P64
1	0	1	0	1	P65
1	0	1	1	0	P66
1	0	1	1	1	P56

注:Fosc 代表振荡器时钟,例如选择 IRC 频率选择 4M,则 Fosc=4M

例如:Fosc=4M, TAD 设置为 Fosc/4,则 TAD=1uS

3.1.9 RPAGE0~RA (ADC偏移校准寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CALI	SIGN	VOF<2:0>			VREF<1:0>		ADIS<3>

Bit<7>:CALI-ADC 调零校正使能位

1:使能

0:禁止

Bit<6>:SIGN-ADC 校正极性选择

1:正极性

0:负极性

Bit<5:3>:VOF<2:0>-ADC 调零校正位

VOF<2>	VOF<1>	VOF<0>	校正幅度
0	0	0	0 LSB
0	0	1	2 LSB
0	1	0	4 LSB
0	1	1	6 LSB
1	0	0	8 LSB
1	0	1	10 LSB
1	1	0	12 LSB
1	1	1	14 LSB

Bit<2:1>:VREF<1:0>-ADC 内部基准选择

VREF<1>	VREF<0>	
0	0	VDD



0	1	4V
1	0	3V
1	1	2V

Bit<0>:ADIS<3>-ADC 输入通道选择, 参见 RPAGE0-R9 描述。

3.1.10 RPAGE0~RB (ADC结果寄存器AD11-AD4)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AD<11>	AD<10>	AD<9>	AD<8>	AD<7>	AD<6>	AD<5>	AD<4>

AD 转换结果高 8 位, AD 转换结束, 自动载入, 只读

3.1.11 RPAGE0~RC (ADC结果寄存器AD11-AD8)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	AD<11>	AD<10>	AD<9>	AD<8>

AD 转换结果高 4 位, AD 转换结束, 自动载入, 只读, 其中 bit<7:4> 固定读出 0

3.1.12 RPAGE0~RD (ADC结果寄存器AD7-AD0)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AD<7>	AD<6>	AD<5>	AD<4>	AD<3>	AD<2>	AD<1>	AD<0>

AD 转换结果低 8 位, AD 转换结束, 自动载入, 只读

3.1.13 RPAGE0~RE (中断标志 2 及唤醒使能 1 寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVD_FG	LVDIF	ADIF	CMPIF	ADWE	CMPWE	P5ICWE	LVDWE

Bit<7>:LVD_FG-低压检测标志位

0: 电源电压低于预设电压检测点

1: 电源电压高于预设电压检测点或低压检测模块未使能

Bit<6>:LVDIF-低压检测中断标志位

1: 有低压检测中断

0: 无低压检测中断

Bit<5>:ADIF-AD 转换结束中断标志位

1: 有 AD 中断

0: 无 AD 中断

Bit<4>:CMPIF-比较器中断标志位

1: 有比较器中断

0: 无比较器中断

Bit<3>:ADWE-ADC 唤醒使能

1: 使能

0: 禁止

Bit<2>:CMPWE-比较器唤醒使能

1: 使能

0: 禁止

Bit<1>: P5ICWE-P5 端口状态改变唤醒使能

1: 使能

0: 禁止

Bit<0>:LVDWE-LVD 唤醒使能



1:使能

0:禁止

3.1.14 RPAGE0~RF(中断标志1寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICIF	DT2IF	DT1IF	PWM2IF	PWM1IF	EXIF	P5ICIF	TCIF

Bit<7>:P7ICIF-P7 端口状态改变中断标志位

1:有中断

0:无中断

Bit<6>:DT2IF-PWM2 占空匹配中断标志位

1:有中断

0:无中断

Bit<5>:DT1IF-PWM1 占空匹配中断标志位

1:有中断

0:无中断

Bit<4>:PWM2IF-PWM2 周期匹配中断标志位

1:有中断

0:无中断

Bit<3>:PWM1IF-PWM1 周期匹配中断标志位

1:有中断

0:无中断

Bit<2>:EXIF 外部中断标志位

1:有中断

0:无中断

Bit<1>:P5ICIF-P5 端口状态改变中断标志位

1:有中断

0:无中断

Bit<0>:TCIF-TCC 中断标志位

1:有中断

0:无中断

3.1.15 RPAGE1~R5(查表地址高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MLB	TRS	0	0	TAD<11>	TAD<10>	TAD<9>	TAD<8>

Bit<7>:MLB-查表数据选择

1:高八位

0:低八位

Bit<6>:TRS-查表区域 ROM 区域, 且该位需要置 0;

Bit<5:4>:只读, 且读出为 0

Bit<3:0>:TAD<11:8>-查表指令地址高四位

3.1.16 RPAGE1~R6(查表地址低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TAD<7>	TAD<6>	TAD<5>	TAD<4>	TAD<3>	TAD<2>	TAD<1>	TAD<0>

查表指令地址低八位



3.1.17 RPAGE1~R7 (PWM使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPWM2E	IPWM1E	IPWM3	PWM3CAS	PWM3E	PWMCAS	PWM2E	PWM1E

Bit<7>:IPWM2E-PWM2 互补功能控制

- 1:使能 (P52 输出)
- 0:禁止

Bit<6>:IPWM1E-PWM1 互补功能控制

- 1:使能 (P53 输出)
- 0:禁止

Bit<5>:IPWM3-PWM3 互补功能控制

- 1:使能 (P61 输出)
- 0:禁止

Bit<4>:PWM3CAS-PWM3 模式选择

- 1:16-Bit PWM
- 0:8-Bit PWM

Bit<3>:PWM3E-PWM3 功能控制

- 1:使能 (P50 输出)
- 0:禁止

Bit<2>:PWMCAS-PWM1 模式选择

- 1:16-Bit PWM (PWM2 作为高位)
- 0:8-Bit PWM

Bit<1>:PWM2E-PWM2 功能控制

- 1:使能 (P51 输出)
- 0:禁止

Bit<0>:PWM1E-PWM1 功能控制

- 1:使能 (P67 输出)
- 0:禁止

3.1.18 RPAGE1~R8 (TMR控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2EN	T1EN	T2P<2:0>			T1P<2:0>		

Bit<7>:T2EN-TMR2 功能控制

- 1:使能
- 0:禁止

Bit<6>:T1EN-TMR1 功能控制

- 1:使能
- 0:禁止

Bit<5:3>:T2P<2:0>-TMR2 预分频选择

T2P<2>	T2P<1>	T2P<0>	分频系数
0	0	0	1:1
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8
1	0	0	1:16



1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2:0>:T1P<2:0>-TMR1 预分频选择

T1P<2>	T1P<1>	T1P<0>	分频系数
0	0	0	1:1
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8
1	0	0	1:16
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

3. 1. 19 RPAGE1~R9 (PWM1 周期寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD1<7>	PRD1<6>	PRD1<5>	PRD1<4>	PRD1<3>	PRD1<2>	PRD1<1>	PRD1<0>

PWM1 周期设定寄存器, 可读可写

3. 1. 20 RPAGE1~RA (PWM2 周期寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD2<7>	PRD2<6>	PRD2<5>	PRD2<4>	PRD2<3>	PRD2<2>	PRD2<1>	PRD2<0>

PWM2 周期设定寄存器, 可读可写

3. 1. 21 RPAGE1~RB (PWM1 占空寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT1<7>	DT1<6>	DT1<5>	DT1<4>	DT1<3>	DT1<2>	DT1<1>	DT1<0>

PWM1 占空设定寄存器, 可读可写

3. 1. 22 RPAGE1~RC (PWM2 占空寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT2<7>	DT2<6>	DT2<5>	DT2<4>	DT2<3>	DT2<2>	DT2<1>	DT2<0>

PWM2 占空设定寄存器, 可读可写

3. 1. 23 RPAGE1~RD (CMP基准选择及IRC校正控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CIN_SEL<1:0>		INCAL<5:0>					

Bit<7:6>:CIN_SEL<1:0>-比较器/运放同相输入端选择

10: 内部基准作为同相输入端

01: P65 作为同相输入端 (默认值)

Bit<5:0>:INCAL<5:0>-IRC 校正控制位选择且该位需要置 1;

3. 1. 24 RPAGE1~RE (LVD及外部中断控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	LV DEN	LVD<1:0>		PWMBRK	EXINT_SEL<1:0>		EXWE

Bit<7>:LVDIE-LVD 中断控制



1: 使能

0: 禁止

Bit<6>: LVDEN-LVD 功能控制

1: 使能

0: 禁止

Bit<5:4>: LVD<1:0>-LVD 检测点选择

LVD<1>	LVD<0>	LVD 检测点选择
0	0	4.5V
0	1	4.0V
1	0	3.3V
1	1	2.2V

Bit<3>: PWMBRK-PWM 刹车功能

1: 使能

0: 禁止 (默认)

Bit<2:1>: EXINT_SEL<1:0>-外部中断入口选择

EXINT_SEL<1>	EXINT_SEL<0>	外部中断源选择
0	0	P60
0	1	P71
1	0	P54
1	1	P61

Bit<0>: EXWE-外部中断唤醒控制

1: 使能

0: 禁止

3.1.25 RPAGE1~RF (系统时钟及状态控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DB_EN	TIMERSC	CPUS	IDLE	SHS<1:0>		RCM<1:0>	

Bit<7>: DB_EN-PWM 倍频选项

1: 使能 (PWM 时钟在原来选定的基础上增加 1 倍)

0: 禁止

Bit<6>: TIMERSC-TCC/PWM 时钟源选择

1: 主时钟

0: 副时钟

Bit<5>: CPUS-CPU 时钟选择

1: 主时钟

0: 副时钟

Bit<4>: IDLE-系统状态选择

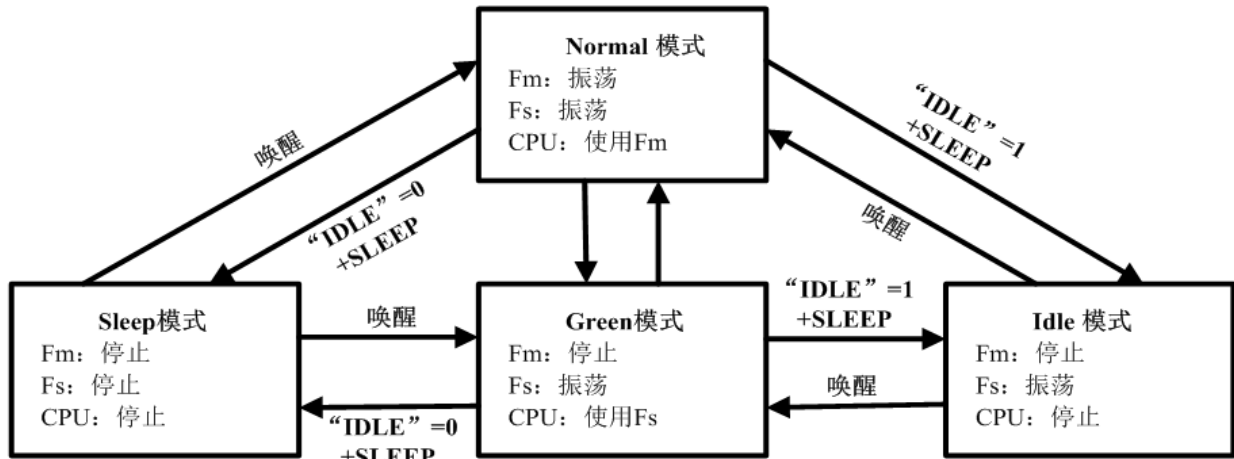
1: 执行 SLEEP 后进入睡眠模式 (CPU+外设均停止)

0: 执行 SLEEP 后进入等待模式 (CPU 停止, 外设不停止)

该位将决定执行 SLEP 指令后 CPU 将进入哪个工作模式

1: IDLE = '1' + SLEP 指令 → 空闲模式

0: IDLE = '0' + SLEP 指令 → 休眠模式 (默认)



Bit<3:2>:SHS<1:0>-ADC 采样保持周期选择位

SHS<1>	SHS<0>	AD 采样保持周期
0	0	2TAD
0	1	4TAD
1	0	8TAD
1	1	12TAD

注:逐次逼近式 AD 转换的精确性、线性和速度由 ADC 和比较器的特性决定。采样电阻直接影响采样保持电容充电所需时间。应用过程控制采样时间长短以满足特定精度的需要。

总的来说,对于采样电阻每增加 1K 的阻抗,采样时间要增加至少 2 μ s。建议采样电阻的最大阻抗为 10K。

Bit<1:0>:RCM<1:0>:IRC 频率选择位

RCM<1>	RCM<0>	IRC 频率选择
0	0	1M
0	1	8M
1	0	16M
1	1	4M

3.1.26 RPAGE2~R5 (P5 端口状态改变独立控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5ICIE<7:0>							

P5 端口状态改变中断及唤醒独立控制

1:使能

0:禁止

3.1.27 RPAGE2~R6 (TMR3 低位寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR3<7>	TMR3<6>	TMR3<5>	TMR3<4>	TMR3<3>	TMR3<2>	TMR3<1>	TMR3<0>

TMR3 低八位,只读



3.1.28 RPAGE2~R7 (TMR3 高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR3<15>	TMR3<14>	TMR3<13>	TMR3<12>	TMR3<11>	TMR3<10>	TMR3<9>	TMR3<8>

TMR3 高八位，只读

3.1.29 RPAGE2~R8 (PWM3 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEAD3E	PWM3A	IPWM3A	-	T3EN	T3P<2:0>		

Bit<7>:DEAD3E-PWM3 死区调节功能控制

1:使能

0:禁止

Bit<6>:PWM3A-PWM3 极性选择

1:占空为低

0:占空为高

Bit<5>:IPWM3A-IPWM3 极性选择

1:占空为高

0:占空为低

Bit<4>:GPR, 通用读写位

Bit<3>:T3EN-TMR3 功能控制

1:使能

0:禁止

Bit<2:0>:T3P<2:0>-TMR3 预分频选择

T3P<2>	T3P<1>	T3P<0>	分频系数
0	0	0	1:1
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8
1	0	0	1:16
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

3.1.30 RPAGE2~R9 (PWM3 周期低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD3L<7:0>							

PWM3 周期设置低八位，可读可写

3.1.31 RPAGE2~RA (PWM3 周期高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD3H<15:8>							

PWM3 周期设置高八位，可读可写

**3.1.32 RPAGE2~RB (PWM3 占空低位寄存器)**

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT3L<7:0>							

PWM3 占空设置低八位，可读可写

3.1.33 RPAGE2~RC (PWM3 占空高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT3H<15:8>							

PWM3 占空设置高八位，可读可写

3.1.34 RPAGE2~RD (P6 端口状态改变独立控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6ICIE<7:0>							

P6 端口状态改变中断及唤醒独立控制

1:使能

0:禁止

3.1.35 RPAGE2~RE (中断使能 3 及唤醒使能 2 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICIE<1:0>	0	P7ICWK	P6ICWK	P6ICIE	DT3E	PWM3E	

Bit<7:6>:P7ICIE<1:0>- P7 端口状态改变中断及唤醒独立控制

1:使能

0:禁止 (默认)

Bit<4>:P7ICWK-P7 端口状态改变唤醒使能

1:使能

0:禁止 (默认)

Bit<3>:P6WKEN-P6 端口状态改变唤醒使能

1:使能

0:禁止 (默认)

Bit<2>:P6ICIE-P6 端口状态改变中断使能

1:使能

0:禁止 (默认)

Bit<1>:DT3E-PWM3 占空中断功能控制

1:使能

0:禁止

Bit<0>:PWM3E-PWM3 周期中断功能控制

1:使能

0:禁止

3.1.36 RPAGE2~RF (P6 端口改变及PWM3 中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	P6ICIF	DT3IF	PWM3IF

Bit<2>:P6ICIF-P6 端口状态改变中断标志位

1:有中断

0:无中断



Bit<1>:DT3IF-PWM3 占空中断标志

1:有中断

0:无中断

Bit<0>:PWM3IF-PWM3 周期中断标志

1:有中断

0:无中断



3.2 控制寄存器

3.2.1 CONT (控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE	INT	TS	TE	PSTE	PST2	PST1	PST0

Bit<7>:INTE:中断信号触发沿

0:中断发生在 INT 引脚信号上升沿

1:中断发生在 INT 引脚信号下降沿

Bit<6>:INT:中断使能标志位

0:由 DISI 指令或硬件中断屏蔽

1:由 ENI 或 RETI 指令使能

Bit<5>:TS:TCC 时钟源选择控制位

1:选择外部时钟 (此时 P54 作为 TCC 端口)

0:选择内部系统时钟

Bit<4>:TE:外部时钟触发沿选择控制位

1:选择外部时钟的下降沿作为触发沿

0:选择外部时钟的上升沿作为触发沿

Bit<3>:PSTE:预分频器选择控制位

1:TCC 预分频器使能

0:TCC 预分频器禁止

Bit<2:0> PST2~PST0:分频系数选择控制位

PST2	PST1	PST0	TCC 分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

注:CONT 寄存器可读写, BIT6 为只读位

3.2.2 IOPAGE0~IOC50~IOC70 (I/O端口控制寄存器)

1:输入 (默认)

0:输出

3.2.3 IOPAGE0~IOC80 (比较器/运放控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	CMPOUT	COS<1:0>	-	-	-	-

Bit<7:6>:保持为 0

Bit<5>:CMPOUT-比较器结果 (只读)

1:同相输入电压 大于 反向输入电压

0:同相输入电压 小于 反向输入电压

Bit<4:3>:COS<1:0>



COS<1>	COS<0>	功能选择
0	0	CMP/OP 禁止, P64, P65, P66 作为 GPIO
0	1	CMP 使能, P65, P66 作为 CMP 输入, P64 作为 GPIO
1	0	CMP 使能, P65, P66 作为 CMP 输入, P64 作为 CMP 输出
1	1	OP 使能, P64 作为 OP 输出

Bit<2:0>:保持为 0

注:IOC80 寄存器 BIT<4:0>可读写, BIT5 为只读位

3.2.4 IOPAGE0~IOC90 (TMR1 寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR1<7:0>							

TMR1 寄存器, 只读

3.2.5 IOPAGE0~IOCA0 (TMR2 寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR2<7:0>							

TMR2 寄存器, 只读

3.2.6 IOPAGE0~IOCB0 (P5 下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5PD<7>	P5PD<6>	P5PD<5>	P5PD<4>	P5PD<3>	P5PD<2>	P5PD<1>	P5PD<0>

Port5 下拉控制

1:禁止 (默认)

0:使能

3.2.7 IOPAGE0~IOCC0 (P6 开漏控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P60D<7>	P60D<6>	P60D<5>	P60D<4>	P60D<3>	P60D<2>	P60D<1>	P60D<0>

Port6 开漏功能控制

0:禁止 (默认)

1:使能

3.2.8 IOPAGE0~IOCDO (P5 上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5PH<7>	P5PH<6>	P5PH<5>	P5PH<4>	P5PH<3>	P5PH<2>	P5PH<1>	P5PH<0>

Port5 上拉控制

1:禁止 (默认)

0:使能

3.2.9 IOPAGE0~IOCE0 (WDT控制及中断使能 2 控制寄存器)

Bit 7	Bit6	Bit5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTE	EIS	ADIE	CMPIE	PSWE	PSW<2:0>		

Bit<7>:WDTE-WDT 功能控制

1:使能

0:禁止

Bit<6>:EIS-外部中断端口功能选择



1: 作为外部中断口

0: 作为 GPIO

Bit<5>: ADIE-ADC 中断使能控制

1: 使能

0: 禁止

Bit<4>: CMPIE-比较器中断使能控制

1: 使能

0: 禁止

Bit<3>: PSWE-看门狗时钟预分频控制

1: 使能

0: 禁止

Bit<2:0>: PSW<2:0>-看门狗时钟预分频选择

PSW<2>	PSW<1>	PSW<0>	分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

3.2.10 IOPAGE0~IOCF0 (中断使能 1 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICIE	DT2IE	DT1IE	PWM2IE	PWM1IE	EXIE	P5ICIE	TCIE

Bit<7>: P7ICIE-P7 端口状态改变中断使能

1: 使能

0: 禁止 (默认)

Bit<6>: DT2IE-PWM2 占空中断使能控制

1: 使能

0: 禁止

Bit<5>: DT1IE-PWM1 占空中断使能控制

1: 使能

0: 禁止

Bit<4>: PWM2IE-PWM2 周期中断使能控制

1: 使能

0: 禁止

Bit<3>: PWM1IE-PWM1 周期中断使能控制

1: 使能

0: 禁止

Bit<2>: EXIE-外部中断使能控制

1: 使能

0: 禁止



Bit<1>:P5ICIE-P5 端口状态改变中断使能

- 1:使能
- 0:禁止 (默认)

Bit<0>:TCIE-TCC 溢出中断使能控制

- 1:使能
- 0:禁止

3.2.11 IOPAGE1~IOC51 (P5 低电平驱动控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5HS<7>	P5HS<6>	P5HS<5>	P5HS<4>	P5HS<3>	P5HS<2>	P5HS<1>	P5HS<0>

Port5 输出低电平驱动能力选择

- 1:增强
- 0:正常

3.2.12 IOPAGE1~IOC61 (P6 低电平驱动控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6HS<7>	P6HS<6>	P6HS<5>	P6HS<4>	P6HS<3>	P6HS<2>	P6HS<1>	P6HS<0>

Port6 输出低电平驱动能力选择

- 1:增强
- 0:正常

3.2.13 IOPAGE1~IOC71 (P5 高电平驱动控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5HD<7>	P5HD<6>	P5HD<5>	P5HD<4>	P5HD<3>	P5HD<2>	P5HD<1>	P5HD<0>

Port5 输出高电平驱动能力选择

- 1:增强
- 0:正常

3.2.14 IOPAGE1~IOC81 (P6 高电平驱动控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6HD<7>	P6HD<6>	P6HD<5>	P6HD<4>	P6HD<3>	P6HD<2>	P6HD<1>	P6HD<0>

Port6 输出高电平驱动能力选择

- 1:增强
- 0:正常

3.2.15 IOPAGE1~IOC91 (PWM极性 & 死区控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPWM2A	IPWM1A	PWM2A	PWM1A	DEADT2E	DEADT1E	DEADP<1:0>	

Bit<7>:IPWM2A-IPWM2 极性选择

- 1:占空为高
- 0:占空为低

Bit<6>:IPWM1A-IPWM1 极性选择

- 1:占空为高
- 0:占空为低



Bit<5>:PWM2A-PWM2 极性选择

1: 占空为低

0: 占空为高

Bit<4>:PWM1A-PWM1 极性选择

1: 占空为低

0: 占空为高

Bit<3>:DEADT2E-PWM2 死区调节使能控制

1: 使能

0: 禁止

Bit<2>:DEADT1E-PWM1 死区调节使能控制

1: 使能

0: 禁止

Bit<1:0>:DEADP<1:0>-死区时钟预分频选择

DEADP<1>	DEADP<0>	分频系数
0	0	1:1
0	1	1:2
1	0	1:4
1	1	1:8

3.2.16 IOPAGE1~IOCA1 (PWM死区时间设定寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEADTR<7:0>							

死区时间设定

3.2.17 IOPAGE1~IOCB1 (P6 下拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PD<7>	P6PD<6>	P6PD<5>	P6PD<4>	P6PD<3>	P6PD<2>	P6PD<1>	P6PD<0>

Port6 下拉使能控制

1: 禁止 (默认)

0: 使能

3.2.18 IOPAGE1~IOCD1 (P7 驱动及上下拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADIS<4>	0	P7HS<0>	P7PD<0>	0	0	P7HD<0>	P7PH<0>

Bit<7>:ADIS<4>-ADC 输入通道选择, 参见 ADIS<4:0>对应描述

Bit<6>:保留, 只读, 且读出为 0

Bit<5>:P7HS<0>-P70 输出低电平驱动能力选择

1: 增强

0: 正常

Bit<4>:P7PD<0>-P70 下拉使能控制

1: 禁止 (默认)

0: 使能

Bit<3>:保留, 只读, 且读出为 0

Bit<2>:保留, 只读, 且读出为 0



Bit<1>:P7HD<0>-P70 输出高电平驱动能力选择

- 1:增强
- 0:正常

Bit<0>:P7PH<0>-P70 上拉使能控制

- 1:禁止 (默认)
- 0:使能

3.2.19 IOPAGE1~IOCE1 (ADC通道使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADE<15>	ADE<14>	ADE<13>	ADE<12>	ADE<11>	ADE<10>	ADE<9>	ADE<8>

ADC 通道使能控制位

- 1:使能
- 0:禁止

通道编号	使能控制	对应引脚
AD8	ADE<8>	P60
AD9	ADE<9>	P61
AD10	ADE<10>	P62
AD11	ADE<11>	P63
AD12	ADE<12>	P64
AD13	ADE<13>	P65
AD14	ADE<14>	P66
AD15	ADE<15>	P56

3.2.20 IOPAGE1~IOCF1 (P6 上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PH<7>	P6PH<6>	P6PH<5>	P6PH<4>	P6PH<3>	P6PH<2>	P6PH<1>	P6PH<0>

Port6 上拉使能控制位

- 1:禁止 (默认)
- 0:使能



3.3 GPIO功能模块

JZ8P2604 有 3 组双向 I/O 端口，共 18 个输入，17 个输出，大部分 I/O 可以复用为其它功能。

17 个可编程上拉 I/O 引脚:P5.0~P5.7, P6.0~P6.7, P70;

17 个可编程下拉 I/O 引脚:P5.0~P5.7, P6.0~P6.7, P70;

17 个可编程驱动增强 I/O 引脚:P5.0~P5.7, P6.0~P6.7, P70;

8 个可编程漏极开路 I/O 引脚:P6.0~P6.7;

3.3.1 GPIO寄存器说明

RPAGE0~R5 (PORT5 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P57	P56	P55	P54	P53	P52	P51	P50

端口输入/输出寄存器，P5 端口为 8 位

P5 为可读可写寄存器

RPAGE0~R6 (PORT6 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P67	P66	P65	P64	P63	P62	P61	P60

端口输入/输出寄存器，P6 端口为 8 位

P6 为可读可写寄存器

RPAGE0~R7 (PORT7 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	0	P71	P70

端口输入/输出寄存器，P7 端口为 2 位

P7 为可读可写寄存器

IOPAGE0~IOC50 (P5 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5CR<7>	P5CR<6>	P5CR<5>	P5CR<4>	P5CR<3>	P5CR<2>	P5CR<1>	P5CR<0>

Port5 方向控制位

1:输入 (默认)

0:输出

IOPAGE0~IOC60 (P6 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6CR<7>	P6CR<6>	P6CR<5>	P6CR<4>	P6CR<3>	P6CR<2>	P6CR<1>	P6CR<0>

Port6 方向控制位

1:输入 (默认)

0:输出

IOPAGE0~IOC70 (P7 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	0	P7CR<1>	P7CR<0>

Bit<7:3>:保持为 0

Bit<1:0>:Port7 方向控制

1:输入 (默认)

0:输出



IOPAGE0~IOCB0 (P5 下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5PD<7>	P5PD<6>	P5PD<5>	P5PD<4>	P5PD<3>	P5PD<2>	P5PD<1>	P5PD<0>

Port5 下拉控制

- 1:禁止 (默认)
- 0:使能

IOPAGE0~IOCC0 (P6 开漏控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P60D<7>	P60D<6>	P60D<5>	P60D<4>	P60D<3>	P60D<2>	P60D<1>	P60D<0>

Port6 开漏功能控制

- 0:禁止 (默认)
- 1:使能

IOPAGE0~IOCDO (P5 上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5PH<7>	P5PH<6>	P5PH<5>	P5PH<4>	P5PH<3>	P5PH<2>	P5PH<1>	P5PH<0>

Port5 上拉控制

- 1:禁止 (默认)
- 0:使能

IOPAGE1~IOCB1 (P6 下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PD<7>	P6PD<6>	P6PD<5>	P6PD<4>	P6PD<3>	P6PD<2>	P6PD<1>	P6PD<0>

Port6 下拉使能控制

- 1:禁止 (默认)
- 0:使能

IOPAGE1~IOCDO1 (P7 驱动及上下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADIS<4>	0	P7HS<0>	P7PD<0>	0	0	P7HD<0>	P7PH<0>

Bit<7>:ADIS<4>-ADC 输入通道选择, 参见 ADIS<4:0>对应描述

Bit<6>:保留, 只读, 且读数为 0

Bit<5>:P7HS<0>-P70 输出低电平驱动能力选择

- 1:增强
- 0:正常

Bit<4>:P7PD<0>-P70 下拉使能控制

- 1:禁止 (默认)
- 0:使能

Bit<3>:保留, 只读, 且读数为 0

Bit<2>:保留, 只读, 且读数为 0

Bit<1>:P7HD<0>-P70 输出高电平驱动能力选择

- 1:增强
- 0:正常

Bit<0>:P7PH<0>-P70 上拉使能控制



1:禁止 (默认)

0:使能

IOPAGE1~IOCF1 (P6 上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PH<7>	P6PH<6>	P6PH<5>	P6PH<4>	P6PH<3>	P6PH<2>	P6PH<1>	P6PH<0>

Port6 上拉使能控制位

1:禁止 (默认)

0:使能

IOPAGE1~IOC51 (P5 低电平驱动控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5HS<7>	P5HS<6>	P5HS<5>	P5HS<4>	P5HS<3>	P5HS<2>	P5HS<1>	P5HS<0>

Port5 输出低电平驱动能力选择

1:增强

0:正常

IOPAGE1~IOC61 (P6 低电平驱动控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6HS<7>	P6HS<6>	P6HS<5>	P6HS<4>	P6HS<3>	P6HS<2>	P6HS<1>	P6HS<0>

Port6 输出低电平驱动能力选择

1:增强

0:正常

IOPAGE1~IOC71 (P5 高电平驱动控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5HD<7>	P5HD<6>	P5HD<5>	P5HD<4>	P5HD<3>	P5HD<2>	P5HD<1>	P5HD<0>

Port5 输出高电平驱动能力选择

1:增强

0:正常

IOPAGE1~IOC81 (P6 高电平驱动控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6HD<7>	P6HD<6>	P6HD<5>	P6HD<4>	P6HD<3>	P6HD<2>	P6HD<1>	P6HD<0>

Port6 输出高电平驱动能力选择

1:增强

0:正常



3.4 TCC定时器功能模块

TCC (R1)是一个 8-Bit 上行计数器，只要有时钟就工作。时钟源既可以是内部系统时钟（上升沿触发），也可以选择外部时钟（由 TCC 引脚输入，触发沿可选），如果没有分频控制，每个时钟（ F_m/F_s ）周期（选择内部时钟）或每个外部时钟周期（外部时钟），计数器实现加 1。系统提供一个 8-Bit 计数器作为 TCC 的预分频器。可以通过 CONT 寄存器设置 TCC 预分频、触发沿、时钟等。

TCC 计数溢出可以形成中断信号。

在 IDLE 模式下，TCC 中断可以唤醒电路。

3.4.1 TCC定时器寄存器说明

RPAGE0~R1（TCC定时计数器）

TCC 是一个 8Bit 上行计数器, 时钟源可选内部时钟/外部时钟, 计数溢出可形成中断, TMR 可读可写。

TCC 可由 EXINT 引脚上的信号边沿或指令周期触发产生加 1 操作（CONT. 4 位定义）。如果清零 PAB 位（CONT. 3），会有一个预分频器分配给 TCC，当 TCC 寄存器被写入一个值时，预分频器的值会被清 0。

RPAGE0~RF（中断标志 1 寄存器）

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICIF	DT2IF	DT1IF	PWM2IF	PWM1IF	EXIF	P5ICIF	TCIF

Bit<0>:TCIF-TCC 中断标志位

1:有中断

0:无中断

CONT（控制寄存器）

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE	INT	TS	TE	PSTE	PST2	PST1	PST0

Bit<6>:INT:中断使能标志位

0:由 DISI 指令或硬件中断屏蔽

1:由 ENI 或 RETI 指令使能

Bit<5>:TS:TCC 时钟源选择控制位

1:选择外部时钟（此时 P54 作为 TCC 端口）

0:选择内部系统时钟

Bit<4>:TE:外部时钟触发沿选择控制位

1:选择外部时钟的下降沿作为触发沿

0:选择外部时钟的上升沿作为触发沿

Bit<3>:PSTE:预分频器选择控制位

1:TCC 预分频器使能

0:TCC 预分频器禁止

Bit<2:0>: PST2~PST0:分频系数选择控制位

PST2	PST1	PST0	TCC 分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16



1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

IOPAGE0~IOCF0 (中断使能 1 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICIE	DT2IE	DT1IE	PWM2IE	PWM1IE	EXIE	P5ICIE	TCIE

Bit<0>:TCIE-TCC 溢出中断使能控制

1:使能

0:禁止

RPAGE1~RF (系统时钟及状态控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DB_EN	TIMERSC	CPUS	IDLE	SHS<1:0>		RCM<1:0>	

Bit<6>:TIMERSC-TCC/PWM 时钟源选择

1:主时钟

0:副时钟

3.4.2 TCC 定时设置说明

- 1、给 TCC 寄存器赋初始值；
- 2、设置 CONT 寄存器的值（选择作为计时器或计数器及预分频比）；
- 3、作为计数器使用，需要在 CONT 寄存器选择 TCC 外灌信号为正沿或负沿加 1；
- 4、若需要执行中断功能，须设置 IOCF0 寄存器中的 TCIE（Bit0）为 1，并执行 ENI 指令；
- 5、中断程序部分将自动保存 ACC、STATUS 及 R4 于堆栈器中，执行 RETI 指令后，再自堆栈中取出，退出中断前要清楚 TCC 中断标志位。



3.5 WDT看门狗功能模块

WDT 是一个 12-Bit 上行计数器，有两重使能控制信号控制（OPTION 中的 ENWDT 和 IOCE 寄存器中的 WDTE 控制位）。计数时钟由单独的振荡器提供，因此在系统进入到睡眠模式后，WDT 仍然可以运行（如果使能），在正常模式或睡眠模式下，WDT 的溢出均可以使系统复位，复位时间由 OPTION 中的控制位 WDTPS 实现选择 4.5ms 或 18ms。

系统提供一个 8-Bit 计数器作为 WDT 的分频器，通过 IOCE0 寄存器设置。

无论是在仿真还是在烧录时，如果要使能 WDT 功能，则必需先在 Code Option 寄存器的 WDT 位选 Enable，然后在 WDT 控制寄存器中的 WDTE 位选择“1”。两个条件缺一不可。看门狗定时器(WDT)的计数频率来源为内部的 RC 振荡器，计数频率约为 15kHz（±30%），当 MCU 进入睡眠(Sleep)模式或闲置(Idle)模式时，由于供给 RC 振荡器的电源，并没有关闭，WDT 依然在计数，当 WDT 溢出时，会将 MCU 唤醒且复位。

3.5.1 WDT看门狗寄存器说明

IOPAGE0~IOCE0 (WDT控制及中断使能 2 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTE	EIS	ADIE	CMPIE	PSWE	PSW<2:0>		

Bit<7>:WDTE-WDT 功能控制

- 1:使能
- 0:禁止

Bit<3>:PSWE-看门狗时钟预分频控制

- 1:使能
- 0:禁止

Bit<2:0>:PSW<2:0>-看门狗时钟预分频选择

PSW<2>	PSW<1>	PSW<0>	分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

3.5.2 WDT看门狗设置说明

- 1、设定 IOCE0 寄存器中 Bit7(WDTE)位，选择是否使用 WDT；
- 2、设定预分频系数，即设定 IOCE0 寄存器的 Bit2~Bit0 位；
- 3、如果使能 WDT 唤醒，建议客户禁止其他唤醒。原因:WDT 唤醒和其他唤醒使能，当 WDT 功能的应用同时唤醒时，IC 会优先 reset，而不去执行其他唤醒后的程序，故如果使能 WDT 唤醒，建议客户其他唤醒禁止。



3.6 端口状态改变唤醒功能模块

执行 SLEEP 指令后，系统进入睡眠模式（IDLE=0），系统时钟停止，所有模块停止工作，WDT（若使能）除外。在 AD 转换过程中如果执行 SLEEP，则系统时钟、TCC、TMR1、TMR2、TMR3、WDT（若使能）继续运行。

3.6.1 睡眠唤醒方式说明

RESET 脚输入低电平；
WDT 复位；
端口输入状态改变；
比较器状态改变；
AD 转换完成；
LVD 低压检测；
外部中断引脚唤醒；

前两种唤醒使得系统进行了一次复位，因此，终止了睡眠前的执行的所有程序。

后五种唤醒方式则保持了程序的延续性，可以通过程序选择继续原有的进程（SLEEP 前执行 DISI）或执行相应的跳转（SLEEP 前执行 ENI），并打开相应的使能控制位，跳转到中断向量的位置。主要说明端口变化唤醒，其他唤醒方式在相应模块中会有说明。

3.6.2 端口状态改变唤醒寄存器说明

RPAGE0~RE (中断标志 2 及唤醒使能 1 寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVD_FG	LVDIF	ADIF	CMPIF	ADWE	CMPWE	P5ICWE	LVDWE

Bit<1>:P5ICWE-P5 端口状态改变唤醒使能

1:使能
0:禁止

RPAGE0~RF (中断标志 1 寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICIF	DT2IF	DT1IF	PWM2IF	PWM1IF	EXIF	P5ICIF	TCIF

Bit<7>:P7ICIF-P7 端口状态改变中断标志位

1:有中断
0:无中断

Bit<1>:P5ICIF-P5 端口状态改变中断标志位

1:有中断
0:无中断

IOPAGE0~IOCF0 (中断使能 1 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICIE	DT2IE	DT1IE	PWM2IE	PWM1IE	EXIE	P5ICIE	TCIE

Bit<7>:P7ICIE-P7 端口状态改变中断使能

1:使能
0:禁止（默认）

Bit<1>:P5ICIE-P5 端口状态改变中断使能

1:使能
0:禁止（默认）



RPAGE2~R5 (P5 端口状态改变独立控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5ICIE<7:0>							

P5 端口状态改变中断及唤醒独立控制

- 1: 使能
- 0: 禁止

RPAGE2~RD (P6 端口状态改变独立控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6ICIE<7:0>							

P6 端口状态改变中断及唤醒独立控制

- 1: 使能
- 0: 禁止

RPAGE2~RE (中断使能 3 及唤醒使能 2 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICIE<1:0>		0	P7ICWK	P6ICWK	P6ICIE	DT3E	PWM3E

Bit<7:6>P7ICIE<1:0>- P7 端口状态改变中断及唤醒独立控制

- 1: 使能
- 0: 禁止 (默认)

Bit<4>:P7ICWK-P7 端口状态改变唤醒使能

- 1: 使能
- 0: 禁止 (默认)

Bit<3>:P6WKEN-P6 端口状态改变唤醒使能

- 1: 使能
- 0: 禁止 (默认)

Bit<2>:P6ICIE-P6 端口状态改变中断使能

- 1: 使能
- 0: 禁止 (默认)

RPAGE2~RF (P6 端口改变及PWM3 中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	P6ICIF	DT3IF	PWM3IF

Bit<2>:P6ICIF-P6 端口状态改变中断标志位

- 1: 有中断
- 0: 无中断



3.6.3 P5 端口状态改变查询方式唤醒设置

- 1、PORT 端口唤醒口设为输入；
- 2、可以根据需要选择唤醒口的内部上拉或下拉；
- 3、使能端口状态改变独立中断及唤醒控制；
- 4、设置寄存器 RPAGE0-RE 的 P5ICWE 位为 1 使能唤醒功能；
- 5、执行 DISI 指令，不进入中断地址口；
- 6、读取 PORT 端口（如 MOV 0X05, 0X05）；
- 7、执行“SLEP”指令，进入睡眠(IDLE=0)/闲置(IDLE=1)模式；
- 8、唤醒后，执行 SLEP 的下一条指令。

3.6.4 P5 端口状态改变中断方式唤醒设置

- 1、PORT 端口唤醒口设为输入；
- 2、可以根据需要选择唤醒口的内部上下拉；
- 3、WDT 预分频的设置必须大于 1:1, 禁止 WDT；
- 4、使能端口状态改变独立中断及唤醒控制；
- 4、设置寄存器 RPAGE0-RE 的 ICWE 位为 1，使能唤醒功能；
- 5、使能 PORT 端口状态改变中断；
- 6、执行“ENI”指令，等待进入中断地址口；
- 7、读取 PORT 端口（如 MOV 0X05, 0X05）；
- 8、下指令“SLEP”，进入睡眠(IDLE=0)/闲置(IDLE=1)模式；
- 9、唤醒后会进入中断地址口，退出中断后，执行 SLEP 下一条指令。



3.7 LVD电压检测功能模块

JZ8P2604 具有低电压检测 (LVD) 功能, 总共可编程选择四个电压值, 当 CPU 的工作电压下降到设定值时, CPU 即置中断标志位而发生中断 (若使能 LVD 中断), 且 RPAGE0-RE 寄存器的 Bit6 位被置 1; 而当 CPU 的工作电压由低于设定值上升到高于设定值后, MCU 会再一次置中断标志位而发生中断 (若使能), RPAGE1 RE 寄存器的 Bit7 位被置 1。

3.7.1 LVD电压检测寄存器说明

RPAGE0~RE (中断标志 2 及唤醒使能 1 寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVD_FG	LVDIF	ADIF	CMPIF	ADWE	CMPWE	P5ICWE	LVDWE

Bit<7>:LVD_FG-低压检测标志位

0: 电源电压低于预设电压检测点

1: 电源电压高于预设电压检测点或低压检测模块未使能

Bit<6>:LVDIF-低压检测中断标志位

1: 有低压检测中断

0: 无低压检测中断

Bit<0>:LVDWE-LVD 唤醒使能

1: 使能

0: 禁止

RPAGE1~RE (LVD及外部中断控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	LVDEN	LVD<1:0>		PWMBRK	EXINT_SEL<1:0>		EXWE

Bit<7>:LVDIE-LVD 中断控制

1: 使能

0: 禁止

Bit<6>:LVDEN-LVD 功能控制

1: 使能

0: 禁止

Bit<5:4>:LVD<1:0>-LVD 检测点选择

LVD<1>		LVD<0>		LVD 检测点选择
0	0	0	0	4.5V
0	0	0	1	4.0V
1	1	0	0	3.3V
1	1	0	1	2.2V

3.7.2 LVD电压检测设置说明

- 1、设定 LVD 的电压值 (RPAGE1 RE 寄存器的 LVD1 和 LVD0 位);
- 2、使能 LVD 功能 (RPAGE1 RE 寄存器 LVDEN 位);
- 3、使能 LVD 中断 (RPAGE1 RE 寄存器的 LVDIE 位), 执行“ENI”指令 (若需要 LVD 中断);
- 4、在中断子程序或主程序查询 LVDIF 位为 1 后, 再判断 RPAGE0 RE 寄存器的 LVD_FG 位, 执行相应的动作。



3.8 ADC模数转换功能模块

JZ8P2604 有 16 路 (P50~P53, P55~P57, P60~P67, P70) 输入通道、12 位精度。AD 转换完成可以进入中断, 也可以用查询 RPAGE0~R9 的 ADRUN 位来判断。

如果启动了 AD 唤醒功能, AD 转换的完成可以从睡眠模式下唤醒。

AD 采样时间计算方式:

从设置 ADRUN=1 起, 完成一次 AD 采样的时间=ADC 采样保持周期+AD 转换时间

AD 转换时间:

AD 转换 1 个 bit 需要一个 TAD 时间, 我们总共是 12bit 的 AD, 所以转换时间为 12 个 TAD。

3.8.1 ADC模数转换寄存器说明

RPAGE0~R8 (AD通道使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADE<7>	ADE<6>	ADE<5>	ADE<4>	ADE<3>	ADE<2>	ADE<1>	ADE<0>

Bit<7:0>:ADE<7:0>-AD 通道使能控制位

1:使能

0:禁止

通道编号	使能控制	对应引脚
AD0	ADE<0>	P50
AD1	ADE<1>	P51
AD2	ADE<2>	P52
AD3	ADE<3>	P53
AD4	ADE<4>	P67
AD5	ADE<5>	P70
AD6	ADE<6>	P55
AD7	ADE<7>	P57

AD 通道使能寄存器可读可写

RPAGE0~R9 (ADC控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VREFS	CKR<1:0>		ADRUN	ADPD	ADIS<2:0>		

Bit<7>:VREFS-ADC 基准选择

1:外部基准 (从 P54 输入)

0:内部基准

Bit<6:5>:CKR<1:0> (AD 采样基准时钟设置, 设定最小时间单位 TAD 的值)

CPUS	CKR<1>	CKR<0>	ADC 时钟
1	0	0	Fosc/16
1	0	1	Fosc/4
1	1	0	Fosc/64
1	1	1	Fosc/1
0	x	x	Fosc/1

Bit<4>:ADRUN-ADC 启动位



1: 启动

0: 禁止

Bit<3>: ADPD-ADC 使能位

1: 使能

0: 禁止

Bit<2:0>: ADIS<2:0>-ADC 通道选择位

ADIS<4>	ADIS<3>	ADIS<2>	ADIS<1>	ADIS<0>	ADC 通道选择
0	0	0	0	0	P50
0	0	0	0	1	P51
0	0	0	1	0	P52
0	0	0	1	1	P53
0	0	1	0	0	P67
0	0	1	0	1	P70
0	0	1	1	0	P55
0	0	1	1	1	P57
0	1	0	0	0	OPOUT
0	1	1	0	0	0.25*VDD
0	1	1	0	1	0.5*VDD
1	0	0	0	0	P60
1	0	0	0	1	P61
1	0	0	1	0	P62
1	0	0	1	1	P63
1	0	1	0	0	P64
1	0	1	0	1	P65
1	0	1	1	0	P66
1	0	1	1	1	P56

注: F_{osc} 代表振荡器时钟, 例如选择 IRC 频率选择 4M, 则 $F_{osc}=4M$

例如: $F_{osc}=4M$, TAD 设置为 $F_{osc}/4$, 则 $TAD=1\mu S$

RPAGE0~RA (ADC偏移校准寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CALI	SIGN	VOF<2:0>			VREF<1:0>		ADIS<3>

Bit<7>: CALI-ADC 调零校正使能位

1: 使能

0: 禁止

Bit<6>: SIGN-ADC 校正极性选择

1: 正极性

0: 负极性

Bit<5:3>: VOF<2:0>-ADC 调零校正位

VOF<2>	VOF<1>	VOF<0>	校正幅度
0	0	0	0 LSB
0	0	1	2 LSB



0	1	0	4 LSB
0	1	1	6 LSB
1	0	0	8 LSB
1	0	1	10 LSB
1	1	0	12 LSB
1	1	1	14 LSB

Bit<2:1>:VREF<1:0>-ADC 内部基准选择

VREF<1>	VREF<0>	
0	0	VDD
0	1	4V
1	0	3V
1	1	2V

Bit<0>:ADIS<3>-ADC 输入通道选择, 参见 RPAGE0-R9 描述。

RPAGE0~RB (ADC结果寄存器AD11-AD4)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AD<11>	AD<10>	AD<9>	AD<8>	AD<7>	AD<6>	AD<5>	AD<4>

AD 转换结果高 8 位, AD 转换结束, 自动载入, 只读

RPAGE0~RC (ADC结果寄存器AD11-AD8)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	AD<11>	AD<10>	AD<9>	AD<8>

AD 转换结果高 4 位, AD 转换结束, 自动载入, 只读, 其中 bit<7:4> 固定读出 0

RPAGE0~RD (ADC结果寄存器AD7-AD0)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AD<7>	AD<6>	AD<5>	AD<4>	AD<3>	AD<2>	AD<1>	AD<0>

AD 转换结果低 8 位, AD 转换结束, 自动载入, 只读

RPAGE0~RE (中断标志 2 及唤醒使能 1 寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVD_FG	LVDIF	ADIF	CMPIF	ADWE	CMPWE	P5ICWE	LVDWE

Bit<5>:ADIF-AD 转换结束中断标志位

1:有 AD 中断

0:无 AD 中断

Bit<3>:ADWE-ADC 唤醒使能

1:使能

0:禁止

RPAGE1~RF (系统时钟及状态控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Db_en	TIMERSC	CPUS	IDLE	SHS<1:0>		RCM<1:0>	

Bit<3:2>:SHS<1:0>-ADC 采样保持周期选择位

SHS<1>	SHS<0>	AD 采样保持周期
0	0	2TAD



0	1	4TAD
1	0	8TAD
1	1	12TAD

注:逐次逼近式 AD 转换的精确性、线性和速度由 ADC 和比较器的特性决定。采样电阻直接影响采样保持电容充电所需时间。应用过程控制采样时间长短以满足特定精度的需要。

总的来说,对于采样电阻每增加 1K 的阻抗,采样时间要增加至少 2μs。建议采样电阻的最大阻抗为 10K。

IOPAGE0~IOCE0 (WDT控制及中断使能 2 控制寄存器)

Bit 7	Bit6	Bit5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTE	EIS	ADIE	CMPIE	PSWE	PSW<2:0>		

Bit<5>:ADIE-ADC 中断使能控制

1:使能

0:禁止

IOPAGE1~IOCD1 (P7 驱动及上下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADIS<4>	0	P7HS<0>	P7PD<0>	0	0	P7HD<0>	P7PH<0>

Bit<7>:ADIS<4>-ADC 输入通道选择位

IOPAGE1~IOCE1 (ADC通道使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADE<15>	ADE<14>	ADE<13>	ADE<12>	ADE<11>	ADE<10>	ADE<9>	ADE<8>

ADC 通道使能控制位

1:使能

0:禁止

通道编号	使能控制	对应引脚
AD8	ADE<8>	P60
AD9	ADE<9>	P61
AD10	ADE<10>	P62
AD11	ADE<11>	P63
AD12	ADE<12>	P64
AD13	ADE<13>	P65
AD14	ADE<14>	P66
AD15	ADE<15>	P56



3.8.2 ADC模数转换设置说明

- 1、对寄存器 RPAGE0-R8 和 IOCE1 的 ADE15-ADE0 进行设置，使能模拟输入通道；
- 2、设置寄存器 RPAGE0-R9 的 ADIS4:ADIS0，选择 AD 输入通道；设置寄存器 RPAGE0-R9 的 CKR1-CKR0，选择 ADC 的时钟预分频；选择 ADC 的参考电压；置“ADPD=1”开始 AD 供电电压；
- 3、调用 AD 精度校正子程序；
- 4、如果需要用到中断功能，设置 ADIE=1，执行“ENI”指令；
- 5、可以根据需要使能 AD 唤醒功能，设置 ADWE=1；
- 6、置“ADRUN=1”开始 AD 转换；
- 7、可以根据需要选择 IDLE/SLEEP 模式；
- 8、等待中断或 ADRUN 被清 0；如果 AD 中断发生，则离开中断程序时需将 ADIF 清“0”；
- 9、保存转换的结果。如果需要做多次 AD 转换，跳到步骤 5。

3.8.3 ADC模数转换精度调整说明

- 1、对寄存器 RPAGE0-R8 和 IOCE1 的 ADE15-ADE0 进行设置，使能模拟输入通道；
- 2、设置寄存器 RPAGE0-R9 的 ADIS4:ADIS0，选择 AD 输入通道；设置寄存器 RPAGE0-R9 的 CKR1-CKR0，3、选择 ADC 的时钟预分频；选择 ADC 的参考电压；置“ADPD=1”打开 ADC 电源；
- 4、设置 ADOC 为 0XF8，使能 ADC 校正位功能，置“ADRUN=1”开始 AD 转换；
- 5、先校正 ADC 位正电压，再校正 ADC 位准负电压，每次校正 2LSB 的电压；
- 6、检测到 AD 值为“0”，则结束 AD 精度校正，即将 ADC 的“CALI”位值为“0”。



3.9 PWM脉宽调制功能模块

JZ8P2604 内置 3 个带预分频器的计数器，用来产生脉宽调制信号，其中 PWM1、PWM2 两个为 8Bit（可配置组合为 16Bit），PWM3 是 16Bit 的脉冲调制信号。另外 JZ8P2604 具有 PWM 互补输出，死区保护，倍频和刹车功能。

3.9.1 PWM脉宽调制寄存器说明

RPAGE0~RF (中断标志 1 寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICIF	DT2IF	DT1IF	PWM2IF	PWM1IF	EXIF	P5ICIF	TCIF

Bit<6>:DT2IF-PWM2 占空匹配中断标志位

1:有中断

0:无中断

Bit<5>:DT1IF-PWM1 占空匹配中断标志位

1:有中断

0:无中断

Bit<4>:PWM2IF-PWM2 周期匹配中断标志位

1:有中断

0:无中断

Bit<3>:PWM1IF-PWM1 周期匹配中断标志位

1:有中断

0:无中断

RPAGE1~R7 (PWM使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPWM2E	IPWM1E	IPWM3	PWM3CAS	PWM3E	PWMCAS	PWM2E	PWM1E

Bit<7>:IPWM2E-PWM2 互补功能控制

1:使能 (P52 输出)

0:禁止

Bit<6>:IPWM1E-PWM1 互补功能控制

1:使能 (P53 输出)

0:禁止

Bit<5>:IPWM3-PWM3 互补功能控制

1:使能 (P61 输出)

0:禁止

Bit<4>:PWM3CAS-PWM3 模式选择

1:16-Bit PWM

0:8-Bit PWM

Bit<3>:PWM3E-PWM3 功能控制

1:使能 (P50 输出)

0:禁止

Bit<2>:PWMCAS-PWM1 模式选择

1:16-Bit PWM (PWM2 作为高位)

0:8-Bit PWM

Bit<1>:PWM2E-PWM2 功能控制



1:使能 (P51 输出)

0:禁止

Bit<0>:PWM1E-PWM1 功能控制

1:使能 (P67 输出)

0:禁止

RPAGE1~R8 (TMR控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2EN	T1EN	T2P<2:0>			T1P<2:0>		

Bit<7>:T2EN-TMR2 功能控制

1:使能

0:禁止

Bit<6>:T1EN-TMR1 功能控制

1:使能

0:禁止

Bit<5:3>:T2P<2:0>-TMR2 预分频选择

T2P<2>	T2P<1>	T2P<0>	分频系数
0	0	0	1:1
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8
1	0	0	1:16
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2:0>:T1P<2:0>-TMR1 预分频选择

T1P<2>	T1P<1>	T1P<0>	分频系数
0	0	0	1:1
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8
1	0	0	1:16
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

RPAGE1~R9 (PWM1 周期寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD1<7>	PRD1<6>	PRD1<5>	PRD1<4>	PRD1<3>	PRD1<2>	PRD1<1>	PRD1<0>

PWM1 周期设定寄存器, 可读可写

RPAGE1~RA (PWM2 周期寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD2<7>	PRD2<6>	PRD2<5>	PRD2<4>	PRD2<3>	PRD2<2>	PRD2<1>	PRD2<0>

PWM2 周期设定寄存器, 可读可写



RPAGE1~RB (PWM1 占空寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT1<7>	DT1<6>	DT1<5>	DT1<4>	DT1<3>	DT1<2>	DT1<1>	DT1<0>

PWM1 占空设定寄存器，可读可写

RPAGE1~RC (PWM2 占空寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT2<7>	DT2<6>	DT2<5>	DT2<4>	DT2<3>	DT2<2>	DT2<1>	DT2<0>

PWM2 占空设定寄存器，可读可写

RPAGE1~RF (系统时钟及状态控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DB_EN	TIMERS_C	CPUS	IDLE	SHS<1:0>		RCM<1:0>	

Bit<7>:DB_EN-PWM 倍频选项

- 1:使能 (PWM 时钟在原来选定的基础上增加 1 倍)
- 0:禁止

Bit<6>:TIMERS_C-TCC/PWM 时钟源选择

- 1:主时钟
- 0:副时钟

RPAGE2~R6 (TMR3 低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR3<7>	TMR3<6>	TMR3<5>	TMR3<4>	TMR3<3>	TMR3<2>	TMR3<1>	TMR3<0>

TMR3 低八位，只读

RPAGE2~R7 (TMR3 高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR3<15>	TMR3<14>	TMR3<13>	TMR3<12>	TMR3<11>	TMR3<10>	TMR3<9>	TMR3<8>

TMR3 高八位，只读

RPAGE2~R8 (PWM3 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEAD3E	PWM3A	IPWM3A	-	T3EN	T3P<2:0>		

Bit<7>:DEAD3E-PWM3 死区调节功能控制

- 1:使能
- 0:禁止

Bit<6>:PWM3A-PWM3 极性选择

- 1:占空为低
- 0:占空为高

Bit<5>:IPWM3A-IPWM3 极性选择

- 1:占空为高
- 0:占空为低

Bit<4>:GPR, 通用读写位

Bit<3>:T3EN-TMR3 功能控制

- 1:使能
- 0:禁止



Bit<2:0>:T3P<2:0>-TMR3 预分频选择

T3P<2>	T3P<1>	T3P<0>	分频系数
0	0	0	1:1
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8
1	0	0	1:16
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

RPAGE2~R9 (PWM3 周期低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD3L<7:0>							

PWM3 周期设置低八位, 可读可写

RPAGE2~RA (PWM3 周期高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD3H<15:8>							

PWM3 周期设置高八位, 可读可写

RPAGE2~RB (PWM3 占空低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT3L<7:0>							

PWM3 占空设置低八位, 可读可写

RPAGE2~RC (PWM3 占空高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT3H<15:8>							

PWM3 占空设置高八位, 可读可写

IOPAGE0~IOC90 (TMR1 寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR1<7:0>							

TMR1 寄存器, 只读

IOPAGE0~IOCA0 (TMR2 寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR2<7:0>							

IOPAGE0~IOCF0 (中断使能 1 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICIE	DT2IE	DT1IE	PWM2IE	PWM1IE	EXIE	P5ICIE	TCIE

Bit<6>:DT2IE-PWM2 占空中断使能控制

1:使能

0:禁止

Bit<5>:DT1IE-PWM1 占空中断使能控制



1:使能

0:禁止

Bit<4>:PWM2IE-PWM2 周期中断使能控制

1:使能

0:禁止

Bit<3>:PWM1IE-PWM1 周期中断使能控制

1:使能

0:禁止

IOPAGE1~IOC91 (PWM极性 & 死区控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPWM2A	IPWM1A	PWM2A	PWM1A	DEADT2E	DEADT1E	DEADP<1:0>	

Bit<7>:IPWM2A-IPWM2 极性选择

1:占空为高

0:占空为低

Bit<6>:IPWM1A-IPWM1 极性选择

1:占空为高

0:占空为低

Bit<5>:PWM2A-PWM2 极性选择

1:占空为低

0:占空为高

Bit<4>:PWM1A-PWM1 极性选择

1:占空为低

0:占空为高

Bit<3>:DEADT2E-PWM2 死区调节使能控制

1:使能

0:禁止

Bit<2>:DEADT1E-PWM1 死区调节使能控制

1:使能

0:禁止

Bit<1:0>:DEADP<1:0>-死区时钟预分频选择

DEADP<1>	DEADP<0>	分频系数
0	0	1:1
0	1	1:2
1	0	1:4
1	1	1:8

IOPAGE1~IOCA1 (PWM死区时间设定寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEADTR<7:0>							

死区时间设定



3.9.2 PWM脉宽调制设置说明

- 1、设置 RPAGE1-R7 和 RPAGE1-R8 和 RPAGE2-R8 寄存器，选择相应的定时器为 PWM 模式、定时器的分频比、定时器中断类型（若使能 PWM 中断）、定时器的时钟源等；
- 2、写 RPAGE1-R9 和 RPAGE1-RA 和 RPAGE2-R9 和 RPAGE2-RA 寄存器的值，确定该 PWM 通道的 Period；
- 3、写 RPAGE1-RB 和 RPAGE1-RC 和 RPAGE2-RB 和 RPAGE2-RC 寄存器的值，确定该 PWM 通道的 Duty；
- 4、使能相应定时器；
- 5、使能或禁止 PWM 对应的定时器中断, 并下“ENI”或“DISI”指令（如果需要）。



3.10 CMP/OP功能模块

JZ8P2604 有一组运算放大器/比较器, 运算放大器的功能适用于小信号的放大, 比较器可以做中断源, 也能把 MCU 从睡眠/闲置状态唤醒。

3.10.1 CMP/OP寄存器说明

IOPAGE0~IOC80(比较器/运放控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	CMPOUT	COS<1:0>		0	0	0

Bit<7:6>:保持为 0

Bit<5>:CMPOUT-比较器结果 (只读)

1:同相输入电压 大于 反向输入电压

0:同相输入电压 小于 反向输入电压

Bit<4:3>:COS<1:0>

COS<1>	COS<0>	功能选择
0	0	CMP/OP 禁止
0	1	CMP 使能, P64 作为 GPIO
1	0	CMP 使能, P64 作为比较器输出
1	1	OP 使能

Bit<2:0>:保持为 0

IOPAGE0~IOCE0(WDT控制及中断使能 2 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTE	EIS	ADIE	CMPIE	PSWE	PSW<2:0>		

Bit<4>:CMPIE-比较器中断使能控制

1:使能

0:禁止

RPAGE0~RE(中断标志 2 及唤醒使能 1 寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVD_FG	LVDIF	ADIF	CMPIF	ADWE	CMPWE	P5ICWE	LVDWE

Bit<4>:CMPIF-比较器中断标志位

1:有比较器中断

0:无比较器中断

Bit<2>:CMPWE-比较器唤醒使能

1:使能

0:禁止



3. 10. 2 CMP比较器设置说明

- 1、设置 CIN+、CIN-为输入口，CO 为输出口；
- 2、设置 IOC80 寄存器的 COS1/COS0 =0/1 或 1/0，作为比较器使用；
- 3、根据需要，可以使能比较器中断功能，执行“ENI”指令，进入中断地址口；
- 4、根据需要，也可以使能唤醒功能。

注意事项：

- 1、比较器唤醒和中断都使能，则如果比较器输出状态改变了，则程序先从睡眠模式唤醒，执行中断程序，然后运行“SLEP”下一条语句；
- 2、比较器的抵补电压是 10mV。

3. 10. 3 OP放大器设置说明

- 1、设置 CIN+、CIN-为输入口，CO 为输出口；
- 2、设置 IOC80 寄存器的 COS1/COS0 =1/1，作为运算放大器使用。



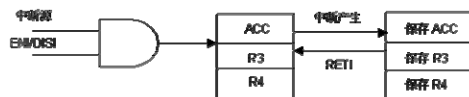
3.11 中断功能模块

JZ8P2604 具有 12 个中断源，无论是使用其中那一个中断，都必须使总中断使能，即下“ENI”指令。下面分别是每个中断的特性，中断地址及优先级：

	中断源	使能条件	中断标志	中断向量	优先级
外部	外部中断	ENI + EXIE=1	EXIF	003H	2
外部	端口输入改变	ENI + ICIE=1	ICIF	006H	3
内部	TCC 溢出中断	ENI + TCIE=1	TCIF	009H	4
内部	AD 转换结束中断	ENI + ADIE=1	ADIF	00CH	5
内部	比较器中断	ENI + CMPIE=1	CMPIF	00FH	6
内部	PWM1 周期溢出中断	ENI + HPWTIE =1	HPWTIF	012H	7
内部	PWM2 周期溢出中断	ENI + LPWTIE =1	LPWTIF	015H	8
内部	PWM1 占空比溢出中断	ENI+TCCAIE=1	TCCAIF	018H	9
内部	PWM2 占空比溢出中断	ENI+TCCBIE=1	TCCBIF	01BH	10
内部	低电压检测中断	ENI+LVDIE=1	LVDIF	021H	1
内部	PWM3 周期溢出中断	ENI + PWM3CYIE =1	PWM3CYIF	024H	11
内部	PWM3 占空比溢出中断	ENI + PWM3DTIE =1	PWM3DTIF	027H	12

RPAGE0 的 RE 与 RF 为中断状态标志寄存器，它们记录了当某个中断产生中断请求后的中断标志位。IOCE0 与 IOCF0 为中断设置寄存器，中断的允许与禁止在这两个寄存器中设置，RPAGE1 RE 为 LVD 的控制寄存器，LVD 的中断的允许与禁止通过这个寄存器设置。总中断的允许是通过下“ENI”指令，相反，总中断的禁止是通过下“DISI”指令。当一个中断产生时，它的下一条指令的执行将从它们特定的地址处执行。在离开中断服务程序之前相应的中断标志位必须清零，这样才能避免中断的误动作。

当执行中断子程序时，ACC、R3、R4 的内容将会被保留起来，直到离开中断子程序后，被保留的值将会载入 ACC、R3、R4，如此是为了避免在执行中断子程序时，有将 ACC、R3、R4 的值改变，导致回主程序时发生错误。如下图所示：



3.11.1 中断寄存器说明

RPAGE0~RE (中断标志 2 及唤醒使能 1 寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVD_FG	LVDIF	ADIF	CMPIF	ADWE	CMPWE	P5ICWE	LVDWE

Bit<6>:LVDIF-低压检测中断标志位

- 1: 有低压检测中断
- 0: 无低压检测中断

Bit<5>:ADIF-AD 转换结束中断标志位

- 1: 有 AD 中断
- 0: 无 AD 中断

Bit<4>:CMPIF-比较器中断标志位

- 1: 有比较器中断
- 0: 无比较器中断



RPAGE0~RF (中断标志 1 寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICIF	DT2IF	DT1IF	PWM2IF	PWM1IF	EXIF	P5ICIF	TCIF

Bit<7>:P7ICIF-P7 端口状态改变中断标志位

- 1:有中断
- 0:无中断

Bit<6>:DT2IF-PWM2 占空匹配中断标志位

- 1:有中断
- 0:无中断

Bit<5>:DT1IF-PWM1 占空匹配中断标志位

- 1:有中断
- 0:无中断

Bit<4>:PWM2IF-PWM2 周期匹配中断标志位

- 1:有中断
- 0:无中断

Bit<3>:PWM1IF-PWM1 周期匹配中断标志位

- 1:有中断
- 0:无中断

Bit<2>:EXIF 外部中断标志位

- 1:有中断
- 0:无中断

Bit<1>:P5ICIF-P5 端口状态改变中断标志位

- 1:有中断
- 0:无中断

Bit<0>:TCIF-TCC 中断标志位

- 1:有中断
- 0:无中断

RPAGE1~RE (LVD及外部中断控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	LV DEN	LVD<1:0>		PWMBRK	EXINT_SEL<1:0>		EXWE

Bit<7>:LVDIE-LVD 中断控制

- 1:使能
- 0:禁止

Bit<2:1>:EXINT_SEL<1:0>-外部中断入口选择

EXINT_SEL<1>	EXINT_SEL<0>	外部中断源选择
0	0	P60
0	1	P71
1	0	P54
1	1	P61



RPAGE2~RE (中断使能 3 及唤醒使能 2 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICIE<1:0>		0	P7WKEN	P6WKEN	P6ICIE	DT3E	PWM3E

Bit<7:6>:P7ICIE<1:0>-P7 中断独立使能控制

- 1:使能
- 0:禁止

Bit<2>:P6ICIE-P6 中断功能控制

- 1:使能
- 0:禁止

Bit<1>:DT3E-PWM3 占空中断功能控制

- 1:使能
- 0:禁止

Bit<0>:PWM3E-PWM3 周期中断功能控制

- 1:使能
- 0:禁止

RPAGE2~RF (P6 端口改变及PWM3 中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	P6ICIF	DT3IF	PWM3IF

Bit<7:3>:保持为 0

Bit<2>:P6ICIF-P6 键盘中断标志

- 1:有中断
- 0:无中断

Bit<1>:DT3IF-PWM3 占空中断标志

- 1:有中断
- 0:无中断

Bit<0>:PWM3IF-PWM3 周期中断标志

- 1:有中断
- 0:无中断

IOPAGE0~IOCE0 (WDT控制及中断使能 2 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTE	EIS	ADIE	CMPIE	PSWE	PSW<2:0>		

Bit<6>:EIS-外部中断端口功能选择

- 1:作为外部中断口
- 0:作为 GPIO

Bit<5>:ADIE-ADC 中断使能控制

- 1:使能
- 0:禁止

Bit<4>:CMPIE-比较器中断使能控制

- 1:使能
- 0:禁止

IOPAGE0~IOCF0 (中断使能 1 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICIE	DT2IE	DT1IE	PWM2IE	PWM1IE	EXIE	P5ICIE	TCIE



- Bit<7>:P7ICIE-P7 中断使能
1:使能
0:禁止 (默认)
- Bit<6>:DT2IE-PWM2 占空中断使能控制
1:使能
0:禁止
- Bit<5>:DT1IE-PWM1 占空中断使能控制
1:使能
0:禁止
- Bit<4>:PWM2IE-PWM2 周期中断使能控制
1:使能
0:禁止
- Bit<3>:PWM1IE-PWM1 周期中断使能控制
1:使能
0:禁止
- Bit<2>:EXIE-外部中断使能控制
1:使能
0:禁止
- Bit<1>:ICIE-P5 键盘中断使能控制
1:使能
0:禁止
- Bit<0>:TCIE-TCC 溢出中断使能控制
1:使能
0:禁止



3.12 复位功能模块

3.12.1 复位功能概述

JZ8P2604 系统提供 4 种复位方式

- 1、上电复位
- 2、RESET 脚输入低电平复位
- 3、WDT 看门狗溢出复位
- 4、LVR 低电压复位

第一种复位时间由 OPTION 中的 SUT 选择决定，如下表所示：

上电复位建立时间：

SUT	复位建立时间
1	18ms
0	4.5ms

上述任一种复位发生时，所有的系统寄存器恢复默认状态，程序停止运行，同时程序计数器 PC 清零。复位结束后，系统从向量 0000H 处重新开始运行。

任何一种复位情况都需要一定的响应时间，系统提供完善的复位流程以保证复位动作的顺利进行。对于不同类型的振荡器，完成复位所需要的时间也不同。因此，VDD 的上升速度和不同晶振的起振时间都不固定。RC 振荡器的起振时间最短，晶体振荡器的起振时间则较长。在用户终端使用的过程中，应注意考虑主机对上电复位时间的要求。

3.12.2 上电复位

上电复位与 LVR 操作密切相关。系统上电的过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。

上电：系统检测到电源电压上升并等待其稳定；

外部复位（仅限于外部复位引脚使能状态）：系统检测外部复位引脚状态。如果不为高电平，系统保持复位状态直到外部复位引脚释放；

系统初始化：所有的系统寄存器被置为初始值；

振荡器开始工作：振荡器开始提供系统时钟；

执行程序：上电结束，程序开始运行。

3.12.3 WDT看门狗复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，看门狗定时器溢出，此时系统复位。看门狗复位后，系统重启进入正常状态。

看门狗定时器状态：系统检测看门狗定时器是否溢出，若溢出，则系统复位；

系统初始化：所有的系统寄存器被置为默认状态；

振荡器开始工作：振荡器开始提供系统时钟；

执行程序：上电结束，程序开始运行。

看门狗定时器应用注意事项：

对看门狗清零之前，检查 I/O 口的状态和 RAM 的内容可增强程序的可靠性；

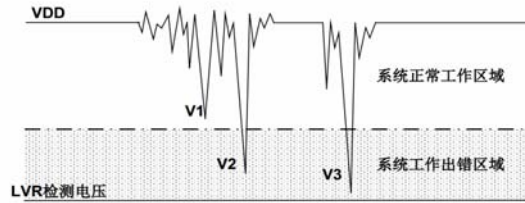
不能在中断中对看门狗清零，否则无法检测到主程序跑飞的情况；

程序中应该只在主程序中有一次清看门狗的动作，这种架构能够最大限度的发挥看门狗的保护功能。



3. 12. 4 LVR低电压复位

掉电复位针对外部因素引起的系统电压跌落情形（例如，干扰或外部负载的变化），掉电可能会引起系统工作状态不正常或程序执行错误。



电压跌落可能会进入系统死区。系统死区意味着电源不能满足系统的最小工作电压要求。上图是一个典型的掉电复位示意图。图中，VDD 受到严重的干扰，电压值降的非常低。虚线以上区域系统正常工作，在虚线以下的区域内，系统进入未知的工作状态，这个区域称作死区。当 VDD 跌至 V1 时，系统仍处于正常状态；当 VDD 跌至 V2 和 V3 时，系统进入死区，则容易导致出错。以下情况系统可能进入死区：

DC 运用中：

DC 运用中一般都采用电池供电，当电池电压过低或单片机驱动负载时，系统电压可能跌落并进入死区。这时，电源不会进一步下降到 LVD 检测电压，因此系统维持在死区。

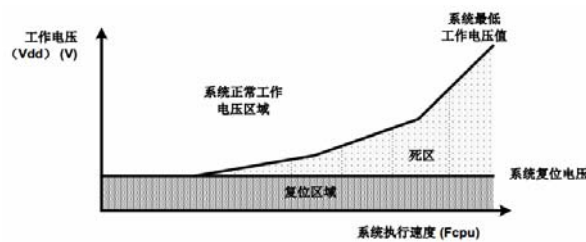
AC 运用中：

系统采用 AC 供电时，DC 电压值受 AC 电源中的噪声影响。当外部负载过高，如驱动马达时，负载动作产生的干扰也影响到 DC 电源。VDD 若由于受到干扰而跌落至最低工作电压以下时，则系统将有可能进入不稳定工作状态。

在 AC 运用中，系统上、下电时间都较长。其中，上电时序保护使得系统正常上电，但下电过程却和 DC 运用中情形类似，AC 电源关断后，VDD 电压在缓慢下降的过程中易进入死区。

3. 12. 5 工作频率与LVR低压检测关系

为了改善系统掉电复位的性能，首先必须明确系统具有的最低工作电压值。系统最低工作电压与系统执行速度有关，不同的执行速度下最低工作电压值也不同。



系统工作电压与执行速度关系图

如上图所示，系统正常工作电压区域一般高于系统复位电压，同时复位电压由低电压检测（LVR）电平决定。当系统执行速度提高时，系统最低工作电压也相应提高，但由于系统复位电压是固定的，因此在系统最低工作电压与系统复位电压之间就会出现一个电压区域，系统不能正常工作，也不会复位，这个区域即为死区。

为避免出现死区电压，再选择工作频率的时候，要选择相应的 LVR 复位电压点。如下表：

工作频率	LVR 复位电压点
IRC-16M	LVR-3.5V 以上
IRC-8M	LVR-2.7V 以上
IRC-4M	LVR-1.8V 以上
IRC-1M	LVR-1.6V 以上



3.13 系统时钟功能模块

JZ8P2604 内部集成了 6 种振荡器，可以通过 OPTION 实现相应配置。具体参看下表：

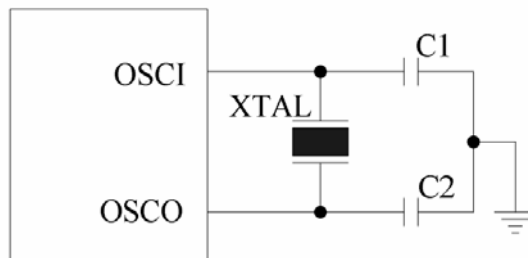
内部振荡器说明

振荡器类型	说明
ERC (外接电阻振荡器)	P55:ERCIN; P70:GPIO
ERC (外接电阻振荡器)	P55:ERCIN; P50:RCOUT
IRC (内置 RC 振荡器)	可以通过 RCM 选择 1M/2M/4M/8M P55:GPIO; P70:GPIO
IRC (内置 RC 振荡器)	可以通过 RCM 选择 1M/2M/4M/8M P55:GPIO; P70:RCOUT
LXT1 (低速晶振)	100K~1M
HXT1 (高速晶振)	12M~16M
LXT2 (低速晶振)	32.768KHz
HXT2 (高速晶振)	6M~12M
XT (晶振)	1M~6M

说明:HXT 和 LXT 之间的系统频率过度点在 400kHz 左右。

3.13.1 外部晶体振荡器/陶瓷谐振器 (XT)

在大多数应用中，引脚 OSC0 和 OSC1 上可接晶体或陶瓷谐振器来产生振荡，电路图如下，不论是 HXT 还是 LXT 模式都适用，表中为 C1、C2 的推荐值。由于各个谐振器特性不同，用户应参参照其规格选择 C1、C2 的合适值。



晶体/振荡器电路

晶体振荡器或陶瓷振荡器的电容选择参考：

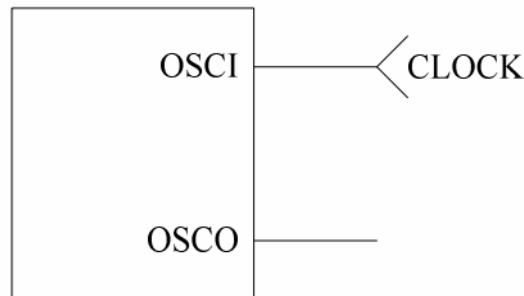
振荡器模式	频率模式	频率	C1 (pF)	C2 (pF)
陶瓷振荡器	LXT1 (100K~1M)	100 KHz	60	60
		200 KHz	60	60
		455 KHz	40	40
	XT (1M~6M)	1 MHz	30	30
		2 KHz	30	30
		4 KHz	20	20
晶体振荡器	LXT2 (32.768K)	32.768 KHz	40	40
	LXT1 (100K~1M)	100 KHz	60	60
		200 KHz	60	60
		455 KHz	40	40



	XT (1M~6M)	1 MHz	30	30
		1 MHz	30	30
		2 MHz	30	30
		4 MHz	20	20
		6 MHz	30	30
	HXT2 (6M~12M)	6 MHz	30	30
		8 MHz	20	20
		12 MHz	30	30
	HXT1 (12M~16M)	12 MHz	30	30
		16 MHz	20	20

注:以上数据仅供参考,一切以实物测试为准。

JZ8P2604 还可被 OSCI 引脚上的外部时钟信号驱动,其应用图如下:



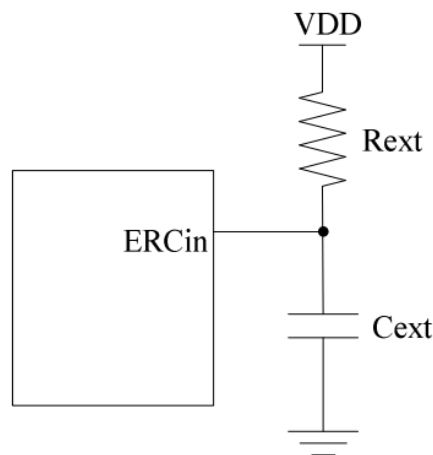
外部时钟示意图

3.13.2 外部RC振荡器模式 (ERC)

在一些对时钟精度要求不高的场合应用中,使用 RC 振荡器可以节省部分费用,尽管如此,还是应该注意到,RC 振荡器的频率与电压,电阻值(R_{ext}),电容值(C_{ext}),甚至工作温度均有关,并且各芯片之间由于生产工艺差别,频率也会发生细微变化。

RC 振荡器的电阻值越小,频率越高。另一方面,对于很小的电阻值,例如 1k 欧姆,由于 NMOS 不能正确将电容放电,振荡器将变得不稳定,为了获得稳定的系统频率,电容值不能小于 20pF,电阻值不能大于 1M 欧姆。如果它们不在该范围之内,频率将很容受噪声、湿率及漏电的影响。

电源电压、工作温度、RC 振荡器部件、封装形式及 PCB 布线方式都会影响系统频率。



外部 RC 振荡器模式电路



RC 振荡器频率参考表如下所示，仅供参考：（以下数据为仿真数据，仅供设计参考）

Rext	Cext	频率
5.1K	100p	427.2KHz
	200p	254.4KHz
	300p	189.4KHz

3.13.3 内部RC振荡器模式（IRC）

JZ8P2604 提供内部 RC 模式，频率默认值为 4MHz。

内部 RC 振荡模式还有其它频率值如 16MHz，8MHz 和 1MHz。通过设置 OPTION 的配置位，可选择 IRC 工作频率，下面是它们的对应关系：

Firc	IRC 频率
4 M	IRC 频率选为 4MHz
16 M	IRC 频率选为 16MHz
8 M	IRC 频率选为 8MHz
1 M	IRC 频率选为 1MHz

3.13.4 时钟模块应用说明

内部振荡器是最常用的振荡模式，该模式可以省去外接的电路；

在使用外部时钟输入时，时钟信号要从 OSCI 输入，OSCO 可以悬空；

使用外部振荡器并且大于 400kHz 时一定要在烧写程序时的 OPTION 选项中选外部高速振荡器，小于 400kHz 时选外部低速振荡器；

外界条件不同，各振荡模式的时钟频率可能会有轻微差别，使用时应根据需要合理选择。



4 CODE OPTION寄存器

CODE OPTION	选项	功能描述
POWER	HIGH	IRC 频率在 VDD=5V 下校准
	LOW	IRC 频率在 VDD=3V 下校准
系统时钟预热 (WKCK)	8 Fosc	系统时钟预热时间选择 8Fosc
	32 Fosc	系统时钟预热时间选择 32Fosc (默认)
P71 端口	RESET	P71 作为外部 RESET
	GPIO	P71 作为 GPIO (默认)
看门狗	使能	WDT 使能
	禁止	WDT 禁止 (默认)
副时钟选择	128KHz	副时钟选择 128KHz
	16KHz	副时钟选择 16KHz
复位时间	4.5ms	系统建立时间选择 4.5ms
	18ms	系统建立时间选择 18ms
代码加密	加密	烧录模式数据加密
	不加密	烧录模式数据不加密
封装脚位	20PIN	封装形式选择 20PIN (默认)
	16PIN/18PIN	封装形式选择 16/18PIN 未使用脚位必须设置输出低
	14PIN	封装形式选择 14PIN 未使用脚位必须设置输出低
	8PIN/10PIN	封装形式选择 8PIN/10PIN 未使用脚位必须设置输出低
Clocks 分频	2Clocks	指令周期选择 2Clocks
	4Clocks	指令周期选择 4Clocks
	8Clocks	指令周期选择 8Clocks
	16Clocks	指令周期选择 16Clocks
低压复位 (LVR)	1.6V	低压复位点选择 1.6V
	1.8V	低压复位点选择 1.8V (默认)
	2.7V	低压复位点选择 2.7V
	3.5V	低压复位点选择 3.5V
	4V	低压复位点选择 4V
外部中断滤波 (NR)	禁止	外部中断滤波选项禁止
	8Fosc	滤波时间 8Fosc
	32Fosc	滤波时间 32Fosc
IRC 频率	4M	RC 频率选择 4M
	16M	RC 频率选择 16M
	8M	RC 频率选择 8M
	1M	RC 频率选择 1M
振荡模式	ERC 模式	ERC 模式
	IRC 模式	IRC 模式
	LXT1 (100K~1M)	LXT1 (100K~1M) 模式
	HXT1 (12M~16)	HXT1 (12M~16) 模式



	LXT2 (32K)	LXT2 (32K) 模式
	HXT2 (6M~12M)	HXT2 (6M~12M) 模式
	XT (1M~6M)	XT (1M~6M) 模式
P70 端口	GPIO	P70 作为 GPIO
	RCOUT	P70 作为指令周期输出口, 开漏输出禁止
	RCOUT_OD	P70 作为指令周期输出口, 开漏输出使能



5 芯片电气特性

5.1 芯片极限参数

工作温度(°C):	(√) E:-40~85;
存储温度(°C):	(√) -65~+150
极限电压(V)	(√) 其它 <u>-0.3~6</u>
极限输入电压 (V)	(√) 其它 <u>GND-0.3~VDD+0.5;</u>
极限输出电压 (V)	(√) 其它 <u>GND-0.3~VDD+0.5;</u>

5.2 芯片直流参数

(T=25°C, VDD=5±5%V, GND=0V)

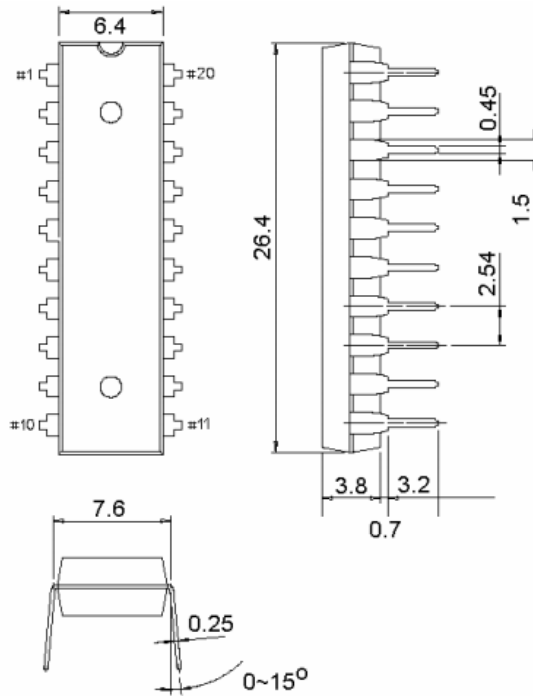
符号	参数说明	条件	最小	典型	最大	单位
ERC	外接阻容振荡	R:5.1KΩ, C:100pf	0.76	0.95	1.14	MHz
IRC1	内置阻容振荡 1 (校正后)	Firc0:Firc1=1:1		4		MHz
IRC2	内置阻容振荡 2 (校正后)	Firc0:Firc1=1:0		16		MHz
IRC3	内置阻容振荡 3 (校正后)	Firc0:Firc1=0:1		8		MHz
IRC4	内置阻容振荡 4 (校正后)	Firc0:Firc1=0:0		1		MHz
VIH1	输入高电平	P5, P6, P70	0.6*VDD		VDD	V
VIL1	输入低电平	P5, P5, P70	-0.3V		0.4*VDD	V
IOH1	输出高电平驱动 (除 P71)	IOH=VDD-0.6V		4.5		mA
IOH2	输出高电平驱动增强(P71)	IOH=VDD-0.6V		11		mA
IOL1	I0 输出低电平驱动	IOL=GND+0.6V		17		mA
IOL2	I0 输出低电平驱动增强	IOL= GND+0.6V		35		mA
IPH	上拉电流	上拉使能, 输入接地		70		μA
IPL	下拉电流	下拉使能, 输入接 VDD		40		μA
I _{sb1}	关机电流 1	所有输入接 VDD, 输出悬空, WDT、LVD 禁用			2	μA
I _{sb2}	关机电流 2	所有输入接 VDD, 输出悬空, WDT 使能, LVD 禁用			10	μA
I _{sb3}	关机电流 3	所有输入接 VDD, 输出悬空, LVD 使能, WDT 禁用			10	μA
I _{op1}	工作电流 1 (VDD=3V)	32KHz 模式, 2clks, 输入接 VDD, 输出端悬空, WDT、LVD 禁止, 选择低功耗模式			20	μA
I _{op2}	工作电流 2	系统时钟 4MHz 晶振模式, 2clks, 输出端悬空, 输入接 VDD, 选择高功耗模式			1.7	mA
LVR1	低电压复位电压 1	选择 1.8V 复位点		1.8		V
LVR3	低电压复位电压 3	选择 Vlvr 复位点	Vlvr-0.2	Vlvr	Vlvr+0.2	V
LVD	低压检测电压	选择检测点为 Vlvd	Vlvd-0.2	Vlvd	Vlvd+0.2	V



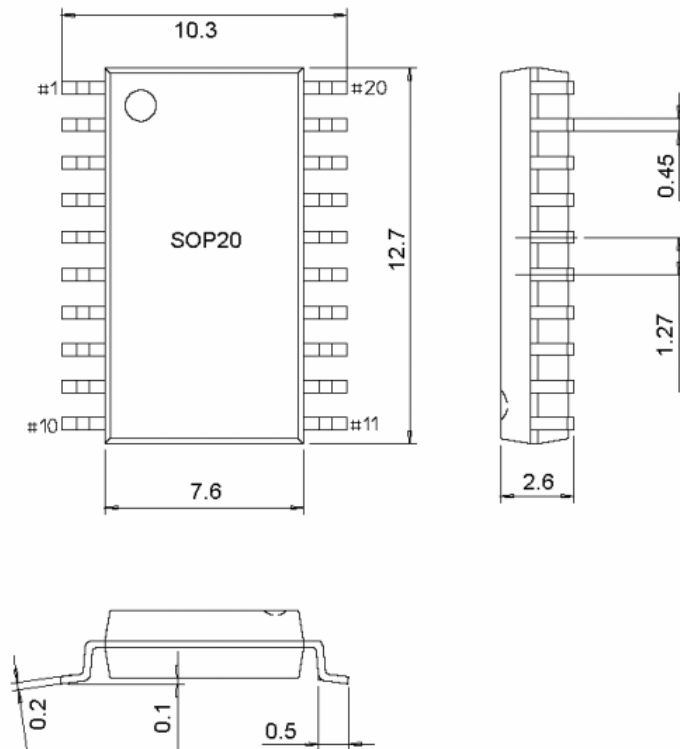
6 封装尺寸信息

6.1 20PIN封装尺寸

(单位: mm)



DIP20 封装尺寸

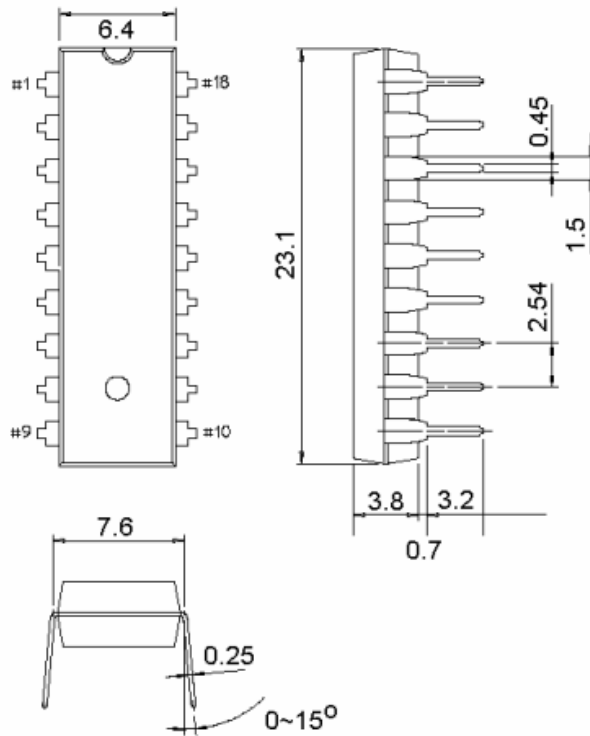


SOP20 封装尺寸

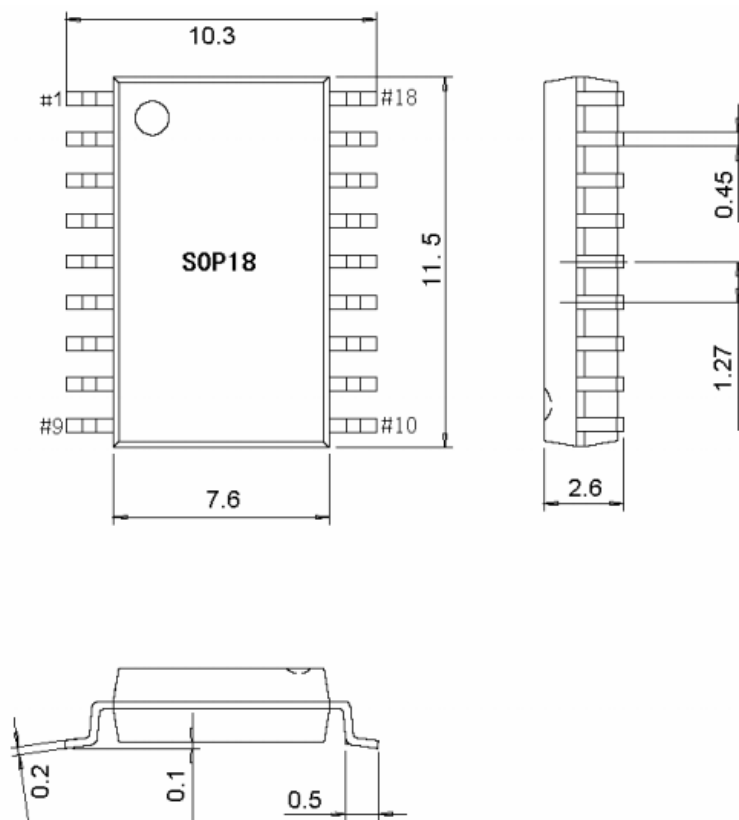


6.2 18PIN封装尺寸

(单位: mm)



DIP18 封装尺寸

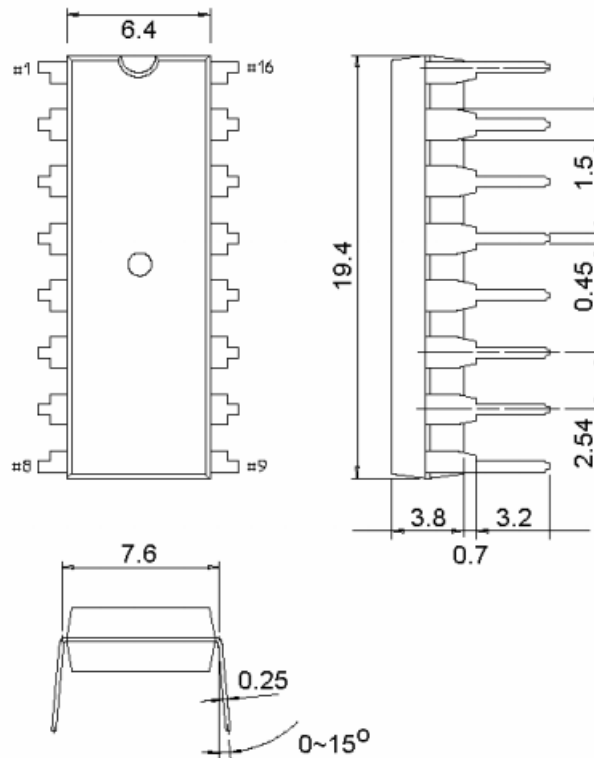


SOP18 封装尺寸

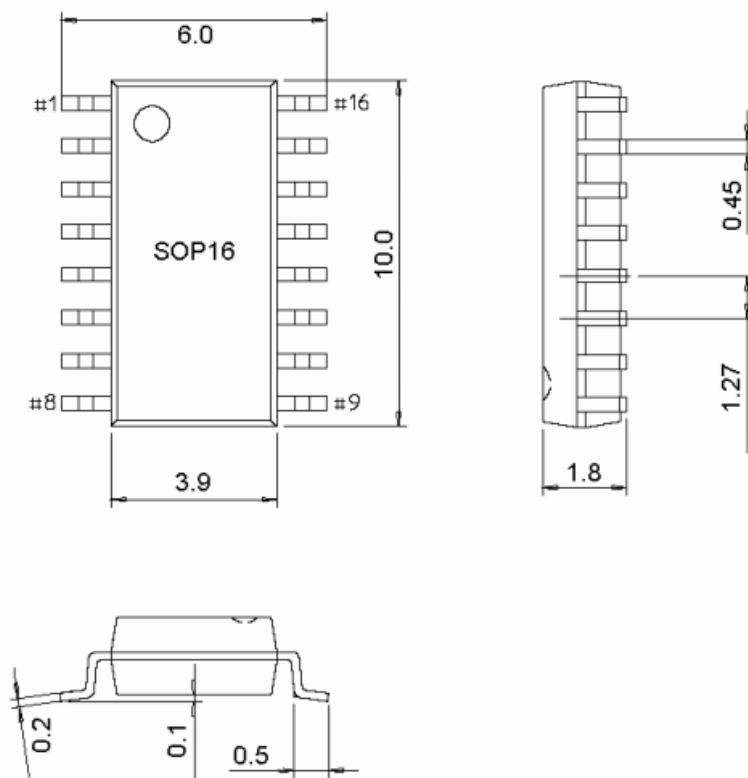


6.3 16PIN封装尺寸

(单位: mm)



DIP16 封装尺寸

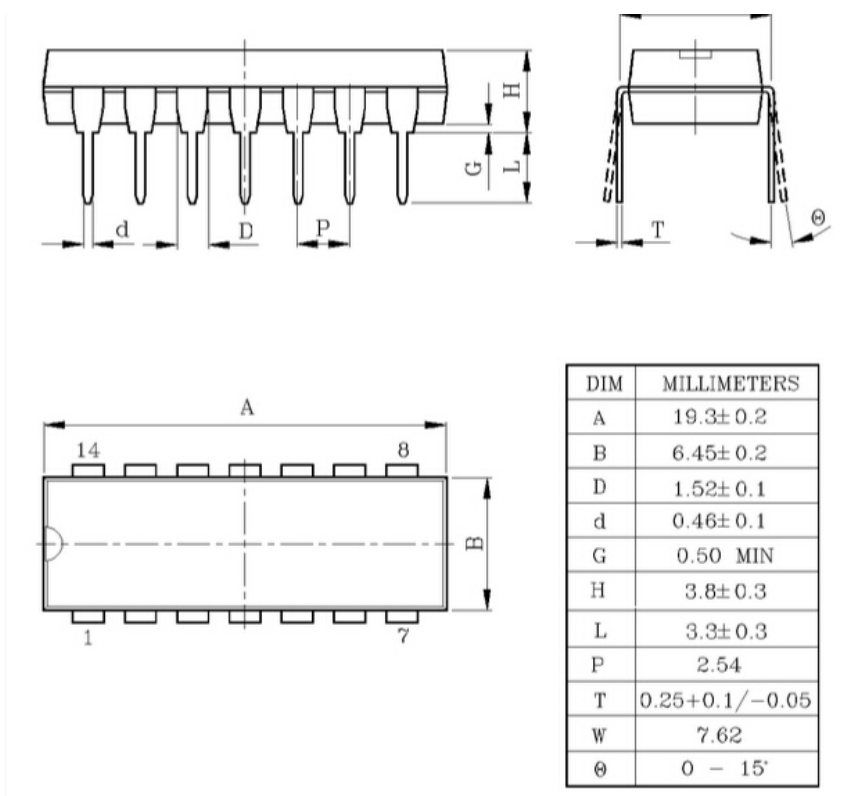


SOP16 封装尺寸

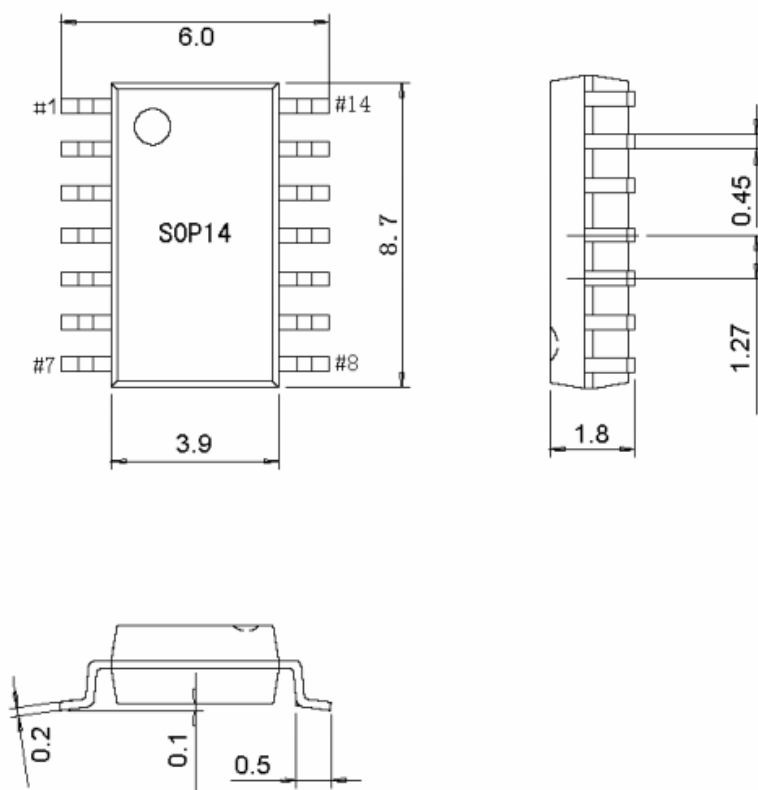


6.4 14PIN封装尺寸

(单位: mm)



DIP14 封装尺寸



SOP14 封装尺寸

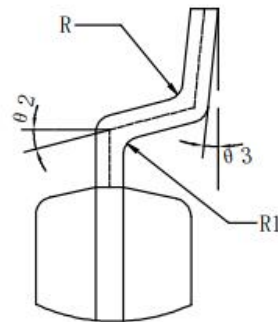
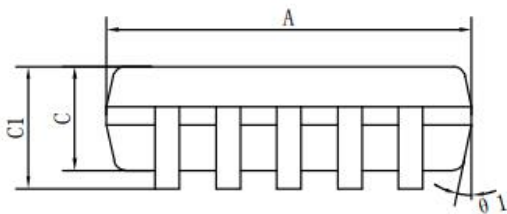
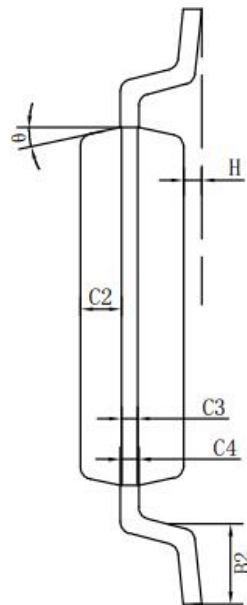
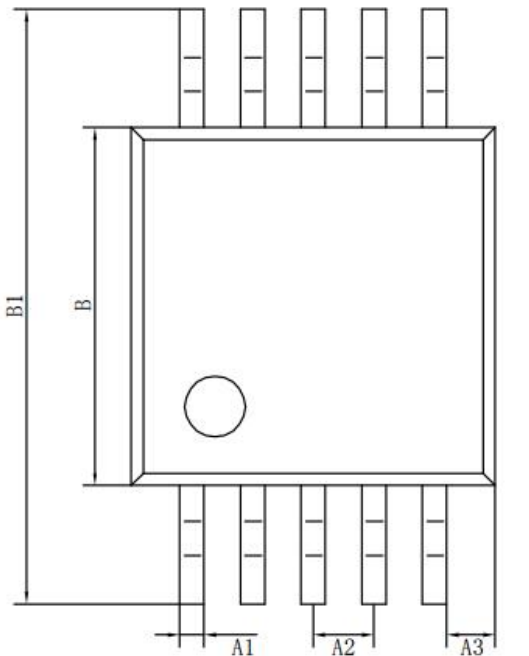


6.5 10PIN封装尺寸

(单位: mm)

标注	尺寸	最小(mm)	最大(mm)	标注	尺寸	最小(mm)	最大(mm)
A		2.90	3.10	C3		0.152	
A1		0.18	0.25	C4		0.15	0.23
A2		0.50TYP		H		0.00	0.09
A3		0.40TYP		θ		15° TYP4	
B		2.90	3.10	$\theta 1$		12° TYP4	
B1		4.70	5.10	$\theta 2$		14° TYP	
B2		0.45	0.75	$\theta 3$		0° ~ 6°	
C		0.75	0.95	R		0.15TYP	
C1		--	1.10	R1		0.15TYP	
C2		0.328TYP					

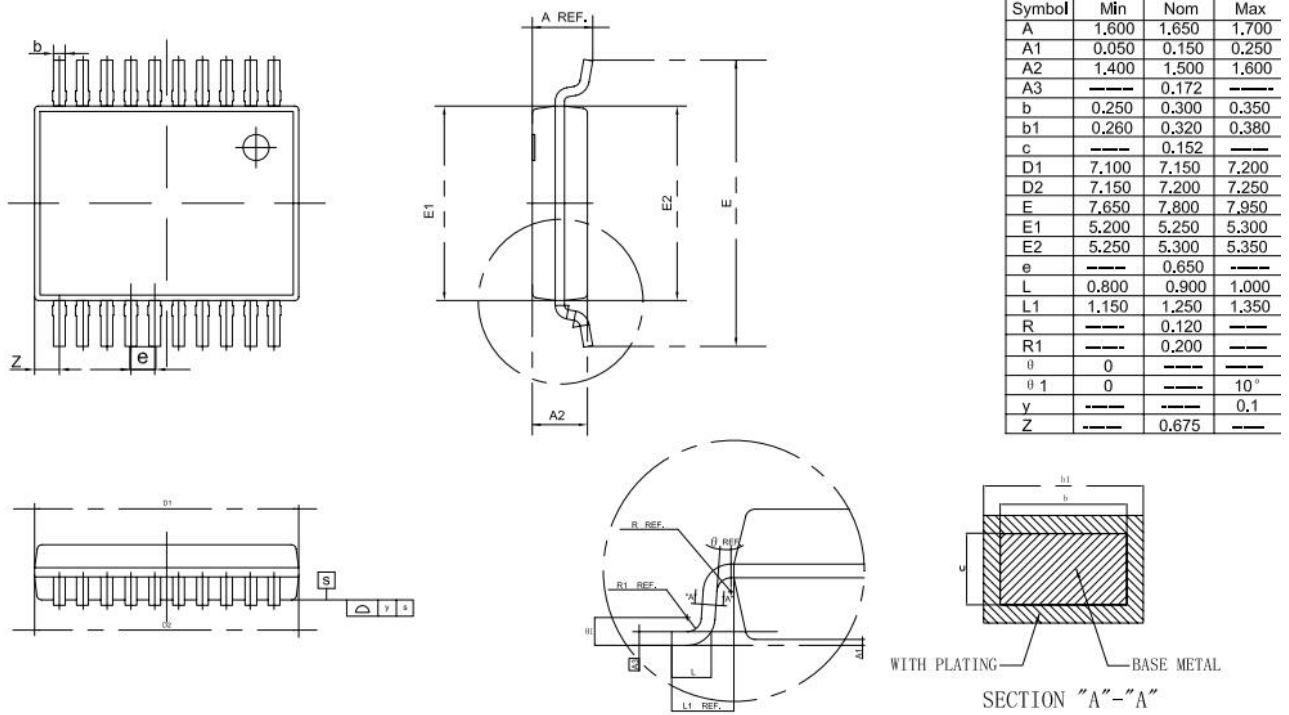
* 注EMSOP10产品共用此图所有数据, Die pad exposure大小是根据引线框架设计。





6.6 TSSOP20PIN封装尺寸

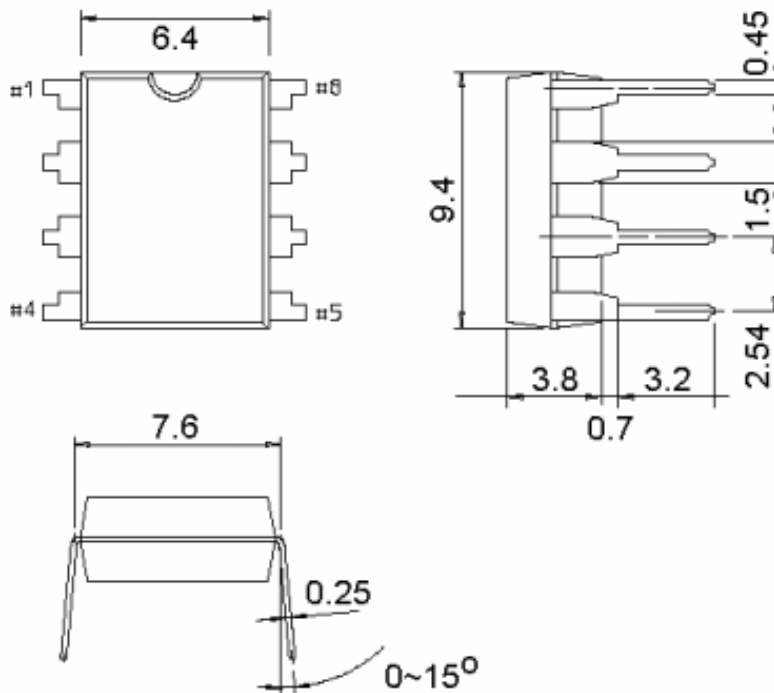
(单位: mm)



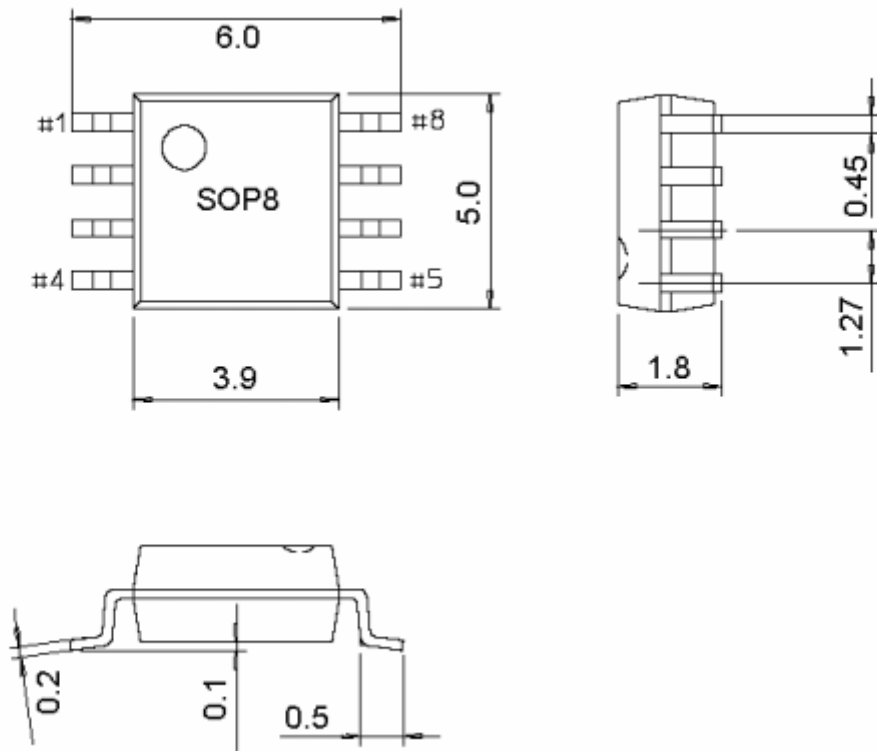
TSSOP20 封装尺寸

6.7 8PIN封装尺寸

(单位: mm)



DIP8 封装尺寸



SOP8 封装尺寸